



18 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 196 10 272 A 1

61 Int. Cl.⁸:
H01L 21/283
// H01L 21/8242

21 Aktenzeichen: 196 10 272.3
22 Anmeldetag: 15. 3. 88
43 Offenlegungstag: 27. 2. 87

DE 196 10 272 A 1

30 Unionspriorität: 32 33 31
25.08.85 JP 7-217286

71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

74 Vertreter:
Prüfer und Kollegen, 81545 München

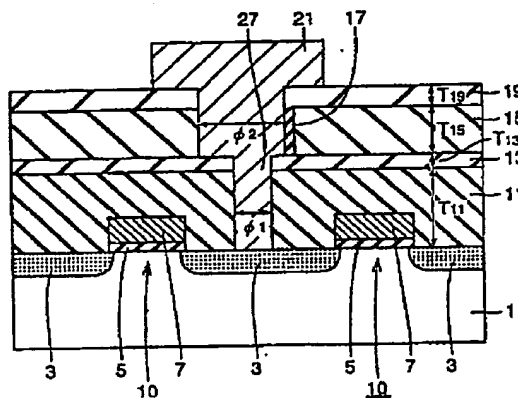
22 Erfinder:
Kimura, Hiroshi, Tokio/Tokyo, JP

BEST AVAILABLE COPY

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleitervorrichtung und Herstellungsverfahren derselben

57 Es wird eine Öffnung in einer Isolierschicht (13) auf einer Zwischenschichtisolierschicht (11), die einen MOS-Transistor (10) bedeckt, mit einem Durchmesser gebildet, der kleiner ist als eine minimal mögliche Abmessung, die durch Photolithographie bildbar ist. Es wird eine Isolierschicht (19) gebildet, um eine innere Wandoberfläche der Öffnung zu bedecken. Es wird ein Kontaktloch (27) von der Isolierschicht (19) gebildet, um das Halbleitersubstrat (1) zu erreichen. Das Kontaktloch (27) weist in den Abschnitt der Zwischenschichtisolierschicht (11) und der Isolierschicht (13) einen ersten Öffnungsdurchmesser auf, der kleiner ist als die minimal mögliche Abmessung, die durch Photolithographie bildbar ist, und in einem Abschnitt der Isolierschicht (19) einen zweiten Öffnungsdurchmesser, der größer ist als der erste Öffnungsdurchmesser. Somit kann eine Halbleitervorrichtung, die für eine höhere Integrationsdichte geeignet ist und ein Verfahren zur Herstellung der Halbleitervorrichtung mit einer kleinen Anzahl von Schritten zur Verfügung gestellt werden.



DE 196 10 272 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 01. 97 802 069/518

47/24

DE 196 10 272 A1

1
Beschreibung

Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und ein Herstellungsverfahren derselben. Genauer betrifft die vorliegende Erfindung eine Halbleitervorrichtung mit einem Kontaktloch und ein Herstellungsverfahren derselben.

Eine der Anmelderin bekannte Halbleitervorrichtung mit einem Kontaktloch und ein Herstellungsverfahren derselben wird im folgenden beschrieben.

Fig. 51 ist eine schematische Querschnittsansicht, die einen Aufbau einer Halbleitervorrichtung entsprechend einem ersten Beispiel des Standes der Technik zeigt. Wie in Fig. 51 gezeigt ist, ist ein MOS-(Metalloxidhalbleiter) Transistor 10 auf einer Oberfläche eines Halbleitersubstrats 1 gebildet.

Der MOS-Transistor 10 enthält ein Paar von Source/Drainbereichen 3, 3, eine Gateisolierschicht 5 und eine Gateelektroden-schicht 7. Das Paar von Source/Drainbereichen 3, 3 sind in der Oberfläche des Halbleitersubstrats 1 mit einem vorbestimmten Abstand voneinander gebildet. Die Gateelektroden-schicht 7 ist auf der Oberfläche des Halbleitersubstrats 1 mit der dazwischen vorgesehenen Gateisolierschicht 5 gebildet, wobei die Gateelektroden-schicht 7 durch das Paar von Source/Drainbereichen 3, 3 begrenzt ist.

Eine Zwischenschichtisolierschicht 11 ist auf der gesamten Oberfläche des Halbleitersubstrats 1 gebildet, um den MOS-Transistor 10 zu bedecken. In der Zwischenschichtisolierschicht 11 ist ein Kontaktloch 525 gebildet, welches einen Teil der Oberfläche des Source/Drainbereiches 3 erreicht. Es ist eine Leitungsschicht 521, wie z. B. eine Elektrode, gebildet, um den Source/Drainbereich durch das Kontaktloch 525 elektrisch zu verbinden.

Das Verfahren zum Herstellen einer Halbleitervorrichtung gemäß dem ersten Beispiel des Standes der Technik wird im folgenden beschrieben.

Fig. 52 bis 56 sind schematische Querschnittsansichten, die der Reihe nach die Schritte der Herstellung der Halbleitervorrichtung entsprechend dem ersten Beispiel des Standes der Technik zeigen. Wie in Fig. 52 gezeigt ist, werden auf der Oberfläche des Halbleitersubstrats 1 die Gateisolierschicht 5 und die Leitungsschicht 7a gebildet, die aufeinander gestapelt sind. Auf der Leitungsschicht 7a wird mittels Photolithographie ein Resistmuster 531a gebildet. Unter Verwendung des Resistmusters 531a als Maske werden die Leitungsschicht 7a und die Gateisolierschicht 5 geätzt. Danach wird das Resistmuster 531a entfernt.

Wie in Fig. 53 gezeigt ist, wird durch dieses Ätzen eine Gateelektroden-schicht 7 mit einer gewünschten Form gebildet. Danach wird unter Verwendung der Gateelektroden-schicht 7 und einer Elementtrennisolierschicht (nicht gezeigt) als Maske Ionenimplantation oder ähnliches für das Halbleitersubstrat 1 durchgeführt. Folglich werden ein Paar von Source/Drainbereichen 3, 3 mit einem bestimmten Abstand voneinander in der Oberfläche des Halbleitersubstrats auf beiden Seiten eines Bereiches direkt unter der Gateelektroden-schicht gebildet. Durch das Paar von Source/Drainbereichen 3, 3, die Gateisolierschicht 5 und die Gateelektroden-schicht 7 wird ein MOS-Transistor 10 zur Verfügung gestellt.

Wie in Fig. 4 gezeigt ist, wird die Zwischenschichtisolierschicht 11 gebildet, um den MOS-Transistor 10 zu bedecken.

Wie in Fig. 55 gezeigt ist, wird auf der Zwischen-

schichtisolierschicht 11 ein Resistmuster 531b mittels normaler Photolithographietechnik gebildet. Das Resistmuster 531b weist ein Lochmuster 531b₁ überhalb des Source/Drainbereiches 3 auf. Unter Verwendung des Resistmusters 531b als Maske wird ein anisotropes Ätzen der Zwischenschichtisolierschicht 11 durchgeführt. Danach wird das Resistmuster 531b entfernt.

Wie in Fig. 56 gezeigt ist, wird durch dieses Ätzen ein Kontaktloch 524 in der Zwischenschichtisolierschicht 11 gebildet, das den Source/Drainbereich 3 erreicht. Die Leitungsschicht 521 wird auf der Zwischenschichtisolierschicht 11 gebildet, um den Source-/Drainbereich 3 durch das Kontaktloch 525 elektrisch zu verbinden. Damit ist die Halbleitervorrichtung, die in Fig. 51 gezeigt ist, fertiggestellt.

Die Halbleitervorrichtung gemäß dem ersten Beispiel des Standes der Technik weist die folgenden Schwierigkeiten auf. Im allgemeinen wird, wenn der Integrationsgrad des DRAMs (dynamischen Speichers mit wahlfreiem Zugriff) erhöht wird, die Speichergröße unvermeidlich verringert. So wie die Speichergröße verringert wird, wird auch der in Fig. 51 gezeigte Abstand L₁ zwischen den Wortleitungen 7 unvermeidlich verringert. Folglich wird auch der Abstand L₂ zu den Wortleitungen verringert. Inzwischen weist das Kontaktloch 525, welches, wie in Fig. 55 und 56 gezeigt ist, durch die der Anmelderin bekannte Photolithographie gebildet wird, einen Öffnungsdurchmesser L₃ auf, der aufgrund der Begrenzung der Photolithographie nicht kleiner gemacht werden kann als eine vorbestimmte Grenze.

Unter diesen Umständen kann es möglich sein, daß die Mitte (durch die Strichpunktlinie Q-Q bezeichnet) des Lochmusters 531b₁ des Resistmusters 531b beispielsweise nach links oder nach rechts in dem Schritt von Fig. 55 aufgrund eines Überdeckungsfehlers oder eines Abmessungsfehlers der Maske bei der Photolithographie verschoben wird.

Fig. 57 zeigt einen Zustand, bei dem die Mitte des Lochmusters 531b₁ verschoben ist. Wenn das Resistmuster 531b in diesen Zustand als Maske verwendet wird und die Zwischenschichtisolierschicht 11 geätzt wird, wird ein Kontaktloch gebildet, wie in Fig. 58 gezeigt ist. Genauer wird die Gateelektroden-schicht 7 an der Seitenwand des Kontaktloches 525 freigelegt.

Wenn in dem in Fig. 58 gezeigten Zustand eine Leitungsschicht 521 gebildet wird, würden die Leitungsschicht 521 und die Gateelektroden-schicht 7, wie in Fig. 59 gezeigt ist, elektrisch kurzgeschlossen werden.

Das folgende Verfahren ist geeignet diesen Kurzschluß zu verhindern.

Fig. 60 und 61 sind schematische Querschnittsansichten, die das Verfahren des Verhinderns des Kurzschlusses zeigen.

Zuerst wird, wie in Fig. 60 gezeigt ist, eine Isolierschicht 601a gebildet, um die Oberfläche der Gateelektroden-schicht 7 zu bedecken, die an der Seitenwand des Kontaktloches 525 freigelegt ist. Danach wird auf der Isolierschicht 601a ein anisotropes RIE (Reaktives Ionätzen) durchgeführt.

Wie in Fig. 61 gezeigt ist, wird durch dieses Ätzen eine Seitenwandisolierschicht 601 in einer selbstjustierenden Art gebildet, um die freigelegte Oberfläche der Gateelektroden-schicht 7 und die Seitenwand des Kontaktloches 525 zu bedecken.

Durch Vorsehen der Seitenwandisolierschicht 601 in dieser Art kann die Oberfläche der Gateelektroden-schicht 7 bedeckt werden und somit kann der Kurzschluß zwischen der Leitungsschicht und der Gateelek-

DE 196 10 272 A1

3

4

trodenschicht verhindert werden.

Die Steuerung des Ätzens der in Fig. 60 und 61 gezeigten Isolierschicht 601a ist jedoch nicht einfach. Daher kann sogar bei diesem Verfahren ein Teil der Gateelektrodenschicht 7 (P Abschnitt) von der Seitenwandisoli-

schicht 601, wie in Fig. 62 gezeigt ist, freigelegt sein. Weiterhin ist, sogar wenn die Oberfläche der Gateelektrodenschicht 7 komplett durch die Seitenwandisoli-

schicht 601, wie in Fig. 61 gezeigt ist, bedeckt ist, die Dicke der Seitenwandisoli-

schicht 601 fließt, aufgrund der Potentialdifferenz zwischen der Leitungsschicht und der Gateelektrodenschicht 7, die während des Betriebes erzeugt wird. Es wurde ein Verfahren vorgeschlagen (z. B. in der japanischen Patentoffenlegungsschrift Nr. 6-260 442), das die obige Schwierigkeit löst. Dieses Verfahren wird im folgenden als zweites Beispiel des Standes der Technik beschrieben. Fig. 63 bis 69 sind schematische Querschnittsansichten, die der Reihe nach das Verfahren der Herstellung der Halbleitervorrichtung gemäß dem zweiten Beispiel des Standes der Technik zeigen. Wie in Fig. 63 gezeigt ist, wird auf einer Oberfläche eines Halbleitersubstrats 1 ein durch eine Elementisoliertrennschicht 241 abgetrennter MOS-Transistor 10 gebildet, der aus einem Paar von Source/Drainbereichen 3, einer Gateisoli-

schicht 5 und einer Gateelektrodenschicht 7 aufgebaut ist. Auf der gesamten Oberfläche des Halbleitersubstrats 1 ist eine Zwischenschichtisoli-

schicht 11 gebildet, z. B. aus einem Siliziumoxidfilm, um den MOS-Transistor 10 zu bedecken. Auf der Zwischenschichtisoli-

schicht 11 ist eine polykristalline Siliziumschicht 13a gebildet, die zu der Isolierschicht 11 eine unterschiedliche Ätzeigenschaft aufweist. Auf der polykristallinen Siliziumschicht 13a wird ein Siliziumoxidfilm 15 gebildet, der die gleiche Ätzeigenschaft wie die Zwischenschichtisoli-

schicht 11 aufweist. Wie in Fig. 64 gezeigt ist, wird ein Resistmuster 371a auf dem Siliziumoxidfilm 13 gebildet und unter Verwendung des Resistmusters 371a als Maske wird auf dem Siliziumoxidfilm 15 ein anisotropes Ätzen durchgeführt. Damit wird eine Öffnung 23 in dem Siliziumoxidfilm 15 zur Verfügung gestellt. Danach wird das Resistmuster 371a entfernt.

Wie in Fig. 65 gezeigt ist, wird ein Siliziumoxidfilm 17a über der gesamten Oberfläche gebildet, um eine innere Wandoberfläche der Öffnung 23 zu bedecken. Ein anisotropes Ätzen wird auf der gesamten Oberfläche des Siliziumoxidfilms 17a durchgeführt.

Wie in Fig. 66 gezeigt ist, wird durch das anisotrope Ätzen eine Seitenwandisoli-

schicht 17, die die gleiche Ätzeigenschaft wie die Zwischenschichtisoli-

schicht 11 aufweisen, entfernt. Wie in Fig. 69 gezeigt ist, wird eine polykristalline Siliziumschicht 13b auf der polykristallinen Silizium-

schicht 13a gebildet, um das Kontaktloch 727 zu füllen und im elektrisch mit den Source/Drainbereichen 3 verbunden zu sein. Danach werden durch der der Anmelde-

rin bekannten Photolithographie und Ätzen die polykristallinen Siliziumschichten 13b und 13a nacheinander

geätzt und somit wird eine Leitungsschicht 13 mit einer

gewünschten Form zur Verfügung gestellt.

Gemäß dem oben beschriebenen Verfahren wird in dem in Fig. 66 gezeigten Schritt eine Seitenwandisoli-

schicht 17 auf der Seitenwand der Öffnung 23 gebildet. Dann wird unter Verwendung des Siliziumoxidfilms 15

und der Seitenwandisoli-

schicht 17 als Maske ein Ätzen auf der polykristallinen Siliziumschicht 13 durchge-

führt. Daher kann der Öffnungsdurchmesser der Öff-

nung 25, die in Fig. 67 gezeigt ist, kleiner gemacht werden

als die minimale Prozeßabmessung der Photolitho-

graphie. Folglich kann der Öffnungsdurchmesser D_3 des

Kontaktlochs 727 in der Zwischenschichtisoli-

schicht 11, die unter Verwendung der polykristallinen Silizium-

schicht 13a mit der Öffnung 25 als Maske geätzt wird,

kleiner gemacht werden als die minimal mögliche Pro-

zeßabmessung der Photolithographie.

Daher kann, sogar wenn der Raum zwischen den

Gateelektrodenschichten 7 aufgrund der erhöhten Inte-

grationsdichte verringert wird, der Kurzschluß zwis-

chen der Leitungsschicht 13 und der Gateelektroden-

schicht 7 verhindert werden.

In dem zweiten Beispiel des Standes der Technik ist

jedoch die in Fig. 69 gezeigte Leitungsschicht 13 eine

Bitleitung und es gibt eine Schwierigkeit, das die Her-

stellung schwierig wird, wenn ein Speicherknoten auf

der Bitleitung 13 gebildet werden soll. Diese Schwierig-

keit wird im folgenden detailliert beschrieben.

Fig. 70 bis 75 sind schematische Querschnittsansich-

ten, die die Schritte des Bildens eines Speicherknotens

auf der Bitleitung in dem zweiten Beispiel des Standes

der Technik zeigen. Wie in Fig. 70 gezeigt ist, werden in dem in Fig. 63 gezeigten Schritt die aus einem Silizium-

oxidfilm gebildete Zwischenschichtisoli-

schicht 711, die polykristalline Siliziumschicht 713a und der Silizium-

oxidfilm 715 nacheinander gebildet, um die Bitleitung 13

zu bedecken.

Dann wird, wie in Fig. 71 gezeigt ist, wie in dem in

Fig. 64 gezeigten Schritt, ein Resistmuster 771a auf dem

Siliziumoxidfilm 715 gebildet und es wird unter Verwen-

dung des Resistmusters 771a als Maske der Silizium-

oxidfilm 715 geätzt. Damit wird in dem Siliziumoxidfilm

715 eine Öffnung 723 gebildet. Danach wird das Resist-

muster 771 entfernt.

Wie in Fig. 72 gezeigt ist, wird wie in dem in Fig. 65

gezeigten Schritt ein Siliziumoxidfilm 717a auf der ge-

samten Oberfläche gebildet, um eine innere Wandober-

fläche der Öffnung 723 zu bedecken. Es wird ein aniso-

tropes Ätzen auf der gesamten Oberfläche des Silizium-

oxidfilms 717a durchgeführt.

Wie in Fig. 73 gezeigt ist, wird durch dieses Ätzen,

wie bei dem in Fig. 66 gezeigten Schritt beschrieben

wurde, eine Seitenwandisoli-

schicht 717 auf der Seiten-

wand der Öffnung 723 gebildet. Unter Verwendung des

DE 196 10 272 A1

5

6

Siliziumoxidfilms 715 und der Seitenwandisolierschicht 717 als Maske wird ein anisotropes Ätzen auf dem polykristallinen Siliziumfilm 713a durchgeführt.

Wie in Fig. 74 gezeigt ist, wird durch das anisotrope Ätzen, wie bei dem in Fig. 67 und 68 gezeigten Schritt beschrieben wurde, eine Öffnung in dem polykristallinen Siliziumfilm 713a gebildet. Unter Verwendung des polykristallinen Siliziumfilms 713a als Maske wird auf den Isolierschichten 711 und 11 ein anisotropes Ätzen durchgeführt. Damit wird ein Kontaktloch 727a für einen Speicherknoten in den Isolierschichten 711 und 11 gebildet.

Der Siliziumoxidfilm 715 und die Seitenwandisolierschicht 717, die in Fig. 73 gezeigt sind, werden entfernt, wenn die Isolierschichten 711 und 11 geätzt werden.

Danach wird ein Speicherknoten gebildet, der elektrisch mit dem Source/Drainbereich 3 des MOS-Transistors 10 durch das Kontaktloch 727a verbunden ist.

Durch Wiederholen der Schritte des Bildens des Kontaktlochs 727 für die Bitleitungen kann ein Kontaktloch 727a für den Speicherknoten gebildet werden, das einen Öffnungsdurchmesser aufweist, der kleiner ist als die minimale mögliche Prozeßabmessung der Photolithographie.

Wenn jedoch die Kontaktlöcher 727a für die Speicherknoten durch dieses Verfahren gebildet werden sollen, ist es notwendig die Schritte des Bildens des Kontaktlochs 727 für die Bitleitung zu wiederholen und damit wird die Anzahl der Schritte der Herstellung unvermeidlich groß.

Das der vorliegenden Erfindung zugrunde liegende Problem ist ein Verfahren zur Herstellung einer Halbleitervorrichtung zur Verfügung zu stellen, das für eine höhere Integrationsdichte geeignet ist und das eine geringe Anzahl von Schritten enthält.

Weiterhin soll ein Aufbau einer Halbleitervorrichtung zur Verfügung gestellt werden, der für einen höheren Integrationsgrad geeignet ist.

Das Verfahren zur Herstellung einer Halbleitervorrichtung entsprechend einem Aspekt der vorliegenden Erfindung enthält die folgenden Schritte.

Zuerst wird ein Leitungsbereich in einer Hauptoberfläche eines Halbleitersubstrats gebildet. Dann wird eine erste Isolierschicht auf der Hauptoberfläche des Halbleitersubstrats gebildet. Auf der ersten Isolierschicht wird eine zweite Isolierschicht aus einem Material gebildet, das eine von der ersten Isolierschicht unterschiedliche Ätzrate aufweist. Es wird eine dritte Isolierschicht mit einer ersten Öffnung oberhalb des Leitungsbereiches auf der zweiten Isolierschicht aus einem Material gebildet, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht aufweist. Auf einer Seitenwand der ersten Öffnung der dritten Isolierschicht wird eine Seitenwandisolierschicht aus einem Material gebildet, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht aufweist. Unter Verwendung der Seitenwandisolierschicht und der dritten Isolierschicht als Maske wird die zweite Isolierschicht durch Ätzen entfernt bis die erste Isolierschicht freigelegt ist und es ist eine zweite Öffnung in der zweiten Isolierschicht gebildet. Eine vierte Isolierschicht wird auf der dritten Isolierschicht und auf der Seitenwandisolierschicht so gebildet, daß die zweite Öffnung gefüllt wird. Dann wird ein Resist mit einem Lochmuster, dessen Öffnungsdurchmesser größer ist als der der zweiten Öffnung, oberhalb der zweiten Öffnung gebildet. Unter Verwendung des Resists als Maske werden die erste, zweite, dritte und vierte Isolierschicht und die Seitenwandisolierschicht unter

einer solchen Ätzbedingung geätzt, die das Ätzen der ersten, dritten und vierten Isolierschicht fördert und die das Ätzen der zweiten Isolierschicht unterdrückt, so daß ein Loch, daß den Leitungsbereich durch die erste, zweite, dritte, und vierte Isolierschicht erreicht, mit ungefähr dem gleichen Durchmesser in den Abschnitten der ersten und zweiten Isolierschicht wie die zweite Öffnung und mit einem Öffnungsdurchmesser, der in dem Abschnitt der vierten Isolierschicht ungefähr der gleiche ist wie der Durchmesser des Lochmusters, gebildet wird. Dann wird eine Leitungsschicht, die sich über der vierten Isolierschicht erstreckt und die elektrisch mit den Leitungsbereichen durch das Loch verbunden ist, gebildet.

In dem Verfahren der Herstellung einer Halbleitervorrichtung entsprechend einem Aspekt der vorliegenden Erfindung wird eine zweite Öffnung mit einem Öffnungsdurchmesser, der kleiner ist als die minimal mögliche Prozeßabmessung der Photographie, in der zweiten Isolierschicht gebildet. Als die zweite Öffnung können eine Öffnung zum Bilden eines Bitleitungskontaktes auf einem der Source/Drainbereiche und einer Öffnung zum Bilden eines Speicherknotenkontaktes auf der anderen der Source/Drainbereiche gebildet werden. Nachdem diese Öffnungen gebildet sind und bevor die Kontaktlöcher für die Bitleitung und den Speicherknoten gebildet werden, wird eine vierte Isolierschicht gebildet, um einmal die Öffnungen zu füllen. Danach wird unter Verwendung eines Resistmusters als Maske, das durch eine der Anmelderin bekannte Photolithographietechnik gebildet wurde, ein anisotropes Ätzen durchgeführt, um Kontaktlöcher von oberhalb den Löchern für die Bitleitung oder für den Speicherknoten zu bilden. Bei diesen Ätzen wird die zweite Isolierschicht stark geätzt, da sie aus einem Material gebildet ist, das eine Ätzeigenschaft aufweist, die sich von der der vierten Isolierschicht unterscheidet. Daher wird, wenn das Kontaktloch die zweite Isolierschicht erreicht, nur die erste Isolierschicht direkt unterhalb der Öffnung für die Bitleitung oder für den Speicherknoten kontinuierlich geätzt. Genauer wird in der ersten Isolierschicht ein Kontaktloch mit dem gleichen Öffnungsdurchmesser wie der der Öffnung für die Bitleitung oder für den Speicherknoten gebildet, d. h. der Öffnungsdurchmesser ist kleiner als die minimal mögliche Prozeßabmessung der Photolithographie. Da das Kontaktloch in der ersten Isolierschicht, die die Gateelektrodenschicht bedeckt, so gebildet werden kann, daß das Loch einen kleineren Durchmesser als die minimal mögliche Prozeßabmessung der Photolithographie aufweist, kann ein Kurzschluß zwischen der Bitleitung oder dem Speicherknoten und der Gateelektrodenschicht verhindert werden.

Bei dem oben beschriebenen Aspekt wird die vierte Isolierschicht bevorzugt so gebildet, daß sie eine planarisierte obere Oberfläche aufweist.

Da die vierte Isolierschicht planarisiert wird, kann der Schritt der Photolithographie oberhalb der vierten Isolierschicht präzise durchgeführt werden.

Bei dem obigen Aspekt wird die Seitenwandisolierschicht bevorzugt aus einem Material gebildet, daß eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet.

Da die Seitenwandisolierschicht aus einem Material mit einer Ätzrate gebildet ist, die sich von der der ersten Isolierschicht unterscheidet, dient die Seitenwandisolierschicht, wenn das Loch gebildet wird, zum Verhindern einer Vergrößerung des Öffnungsdurchmessers der zweiten Isolierschicht. Damit kann eine Vergröße-

DE 196 10 272 A1

7

rung des Durchmessers der ersten Öffnung verhindert werden.

Das Verfahren der Herstellung einer Halbleitervorrichtung gemäß einem anderen Aspekt der vorliegenden Erfindung enthält die folgenden Schritte.

Zuerst werden ein erster und ein zweiter Leitungsbereich in einer Hauptoberfläche eines Halbleitersubstrats mit einem vorbestimmten Abstand voneinander gebildet. Eine erste Isolierschicht wird auf der Hauptoberfläche des Halbleitersubstrats gebildet. Eine zweite Isolierschicht, die aus einem Material gebildet ist, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet, wird auf der ersten Isolierschicht gebildet. Dann wird eine dritte Isolierschicht, die aus einem Material gebildet ist, das ungefähr die gleiche Ätzrate wie die der ersten Isolierschicht aufweist, und die eine erste und eine zweite Öffnung oberhalb des ersten und des zweiten Leitungsbereiches aufweist, auf der zweiten Isolierschicht gebildet. Auf jeder der Seitenwände der ersten und der zweiten Öffnung werden eine erste und eine zweite Seitenwandisolierschicht gebildet. Unter Verwendung der ersten und der zweiten Seitenwandisolierschichten und der dritten Isolierschichten als Maske wird die zweite Isolierschicht durch Ätzen solange entfernt bis die Oberfläche der ersten Isolierschicht freigelegt ist, und damit werden in der zweiten Isolierschicht eine dritte und eine vierte Öffnung gebildet. Auf der dritten Isolierschicht und auf der ersten und der zweiten Seitenwandisolierschicht wird eine vierte Isolierschicht so gebildet, daß sie die dritte und die vierte Öffnung füllt. Ein erster Resist mit einem Lochmuster, dessen Öffnungsdurchmesser größer ist als der Öffnungsdurchmesser der dritten Öffnung, wird über der dritten Öffnung gebildet. Die erste, zweite, dritte und vierte Isolierschicht und die Seitenwandisolierschicht werden unter Verwendung des ersten Resists als Maske unter einer solchen Bedingung geätzt, die das Ätzen der ersten, dritten und vierten Isolierschichten fördert und die das Ätzen der zweiten Isolierschicht unterdrückt, so daß ein erstes Kontaktloch gebildet wird, das den ersten Leitungsbereich durch die erste, zweite, dritte und vierte Isolierschicht erreicht und das ungefähr den gleichen Durchmesser in den Abschnitten der ersten und zweiten Isolierschicht wie die dritte Öffnung aufweist und das ungefähr den gleichen Öffnungsdurchmesser in dem Abschnitt der vierten Isolierschicht wie das Lochmuster des ersten Resists aufweist. Eine erste Leitungsschicht, die elektrisch mit den ersten Leitungsbereichen durch das erste Loch verbunden ist und die sich über die vierte Isolierschicht erstreckt, wird gebildet. Eine fünfte Isolierschicht, die aus einem Material gebildet ist, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht aufweist, wird auf der vierten Isolierschicht gebildet, um die erste Leitungsschicht zu bedecken. Auf der fünften Isolierschicht wird über der vierten Öffnung ein zweites Resist gebildet, daß ein Lochmuster aufweist, bei dem der Lochdurchmesser größer ist als der Öffnungsdurchmesser der vierten Öffnung. Die erste, zweite, dritte, vierte und fünfte Isolierschicht und die zweite Seitenwandisolierschicht werden unter Verwendung des zweiten Resists als Maske unter einer solchen Bedingung geätzt, daß das Ätzen der ersten, dritten, vierten und fünften Isolierschicht gefördert wird wohingegen das Ätzen der zweiten Isolierschicht unterdrückt wird, so daß ein zweites Loch gebildet wird, daß den zweiten Leitungsbereich durch die erste, zweite, dritte, vierte und fünfte Isolierschicht erreicht, und das ungefähr den gleichen Durch-

8

messer in den Abschnitten der ersten und zweiten Isolierschicht wie den Öffnungsdurchmesser der vierten Öffnung aufweist und das ungefähr den gleichen Öffnungsdurchmesser in dem Abschnitt der fünften und vierten Isolierschicht wie den Öffnungsdurchmesser des Lochmusters des zweiten Resists aufweist. Dann wird eine zweite Leitungsschicht, die elektrisch mit den Leitungsbereichen durch das zweite Kontaktloch verbunden ist, und die sich über die vierte Isolierschicht erstreckt, gebildet.

In dem Verfahren zur Herstellung einer Halbleitervorrichtung entsprechend einem anderen Aspekt der vorliegenden Erfindung werden dritte und vierte Öffnungen in der zweiten Isolierschicht gebildet, die einen solchen Öffnungsdurchmesser aufweisen, der kleiner ist als der durch Photolithographie minimal mögliche Öffnungsdurchmesser. Beispielsweise kann als die dritte Öffnung eine Öffnung zum Bilden eines Bitleitungskontaktes in einem der Source/Drainbereiche gebildet werden und kann als die vierte Öffnung eine Öffnung für einen Speicherknotenkontakt auf dem anderen der Source/Drainbereiche gebildet werden. Nachdem die dritte und vierte Öffnung gebildet wurden und vor der Bildung der Kontaktlöcher für die Bitleitung und für den Speicherknoten wird eine vierte Isolierschicht einmal gebildet, um diese Öffnungen zu füllen. Danach wird unter Verwendung eines Resistmusters als Maske, das durch eine der Anmelderin bekannte Photolithographie-technik gebildet wurde, ein anisotropes Ätzen zum Bilden der Kontaktlöcher von oberhalb der jeweiligen Öffnungen für die Bitleitung und für den Speicherknoten durchgeführt. Während dieses Ätzens wird die zweite Isolierschicht stark geätzt, da die zweite Isolierschicht aus einem Material gebildet ist, das eine andere Ätzrate als die vierte Isolierschicht aufweist. Daher wird, wenn das Kontaktloch die zweite Isolierschicht erreicht, nur die erste Isolierschicht direkt unterhalb der Öffnung für die Bitleitung oder für den Speicherknoten kontinuierlich geätzt. Und zwar kann in der ersten Isolierschicht ein Kontaktloch, das den gleichen Öffnungsdurchmesser wie den der Öffnung für die Bitleitung oder für den Speicherknoten aufweist, d.h. es können Öffnungsdurchmesser gebildet werden, die kleiner sind als die durch Photolithographie gebildete minimale mögliche Abmessung. In dieser Art kann, da das Kontaktloch mit einem Durchmesser gebildet werden kann, der kleiner ist als die durch Photolithographie gebildete minimale mögliche Abmessung, das Kontaktloch in der ersten Isolierschicht gebildet werden, die die Gateelektroden-schicht bedeckt, und der Kurzschluß zwischen der Bitleitung oder dem Speicherknoten und der Gateelektroden-schicht kann verhindert werden. Wenn ein Speicherknoten (zweite Leitungsschicht) höher als die Bitleitung (erste Leitungsschicht) gebildet werden soll und wenn eine Öffnung für die Bitleitung auf der zweiten Isolierschicht, wie oben beschrieben, und die Öffnung für den Speicherknoten gebildet wird, dann ist es möglich, ein Kontaktloch zu bilden, das einen kleineren Öffnungsdurchmesser als die durch Photolithographie gebildete minimale mögliche Abmessung aufweist und das Kontaktloch kann in der ersten Isolierschicht durch Durchführen eines Ätzens von oberhalb der Öffnung für den Speicherknoten gebildet werden. Dafür ist es nicht notwendig störanfällige Schritte wie beim Stand der Technik zu wiederholen, und somit kann ein Speicherknotenkontakt durch einfache Schritte gebildet werden.

Bei dem obigen Aspekt wird bevorzugt eine sechste Isolierschicht, die aus einem Material gebildet ist, das

DE 196 10 272 A1

9

10

eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet, auf der ersten Leitungsschicht gebildet. Eine dritte Seitenwandisolierschicht, die aus einem Material gebildet ist, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet, wird gebildet, um die Seitenwand der ersten Leitungsschicht zu bedecken. Die fünfte Isolierschicht wird auf der sechsten Isolierschicht und auf der Seitenwandisolierschicht gebildet.

Da die Oberfläche der ersten Leitungsschicht durch die sechste Isolierschicht geschützt ist und da die dritte Seitenwandisolierschicht aus einem Material gebildet ist, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet, kann, wenn das zweite Loch gebildet wird, ein Freilegen der ersten Leitungsschicht durch die Seitenwände des zweiten Loches verhindert werden. Damit kann ein Kurzschluß zwischen der ersten und der zweiten Leitungsschicht verhindert werden.

Die Halbleiterspeichervorrichtung gemäß einem Aspekt der vorliegenden Erfindung enthält ein Halbleitersubstrat, einen Leitungsbereich, eine erste bis vierte Isolierschicht und eine Leitungsschicht. Das Halbleitersubstrat weist eine Hauptoberfläche auf. Der Leitungsbereich ist in der Hauptoberfläche des Halbleitersubstrats gebildet. Die erste Isolierschicht ist auf der Hauptoberfläche des Halbleitersubstrats gebildet. Die zweite Isolierschicht ist aus einem Material gebildet, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet, und ist auf der ersten Isolierschicht gebildet. Die dritte Isolierschicht ist aus einem Material gebildet, das ungefähr die gleiche Ätzrate wie die der ersten Isolierschicht aufweist, und ist auf der zweiten Isolierschicht gebildet. Die vierte Isolierschicht ist aus einem Material gebildet, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht aufweist, und ist auf der dritten Isolierschicht gebildet. In der ersten, zweiten, dritten und vierten Isolierschicht ist ein Loch gebildet, das den in der Hauptoberfläche des Halbleitersubstrats gebildeten Leitungsbereich erreicht, wobei das Loch diese Isolierschichten durchbohrt. Das Loch weist in dem in der ersten und zweiten Isolierschicht gebildeten Abschnitt einen Öffnungsdurchmesser auf, der kleiner ist als die durch der Anmelderin bekannten Photolithographie gebildeten minimal möglichen Abmessung, und weist in dem in der vierten Isolierschicht gebildeten Abschnitt einen zweiten Öffnungsdurchmesser auf, der größer ist als der erste Öffnungsdurchmesser. Die Leitungsschicht ist mit den Leitungsbereichen durch dieses Loch elektrisch verbunden und erstreckt sich über die vierte Isolierschicht.

In der Halbleitervorrichtung gemäß eines Aspekts der vorliegenden Erfindung ist der erste Öffnungsdurchmesser des Lochs kleiner als die durch der der Anmelderin bekannten Photolithographie gebildeten minimal mögliche Abmessung. Daher kann, sogar wenn der Raum zwischen den Gateelektroden kleiner gemacht wird, wenn der Integrationsgrad erhöht wird, ein Freilegen der Gateelektroden-schicht von der Seitenwand des Loches verhindert werden. Daher kann, sogar wenn hoch integriert wird, ein Kurzschluß zwischen den Leitungsschichten verhindert werden und damit kann eine Halbleitervorrichtung erhalten werden, die einen stabilen Betrieb sicherstellt.

Bei dem oben beschriebenen Aspekt weist die vierte Isolierschicht eine planarisierte Oberfläche auf.

Da die vierte Isolierschicht eine planarisierte Oberfläche aufweist, kann ein Kontaktloch an einer gewünsch-

ten Position gebildet werden.

Bei dem oben beschriebenen Aspekt ist bevorzugt weiter eine Seitenwandisolierschicht auf der Seitenwand der dritten Isolierschicht vorgesehen, um den zweiten Öffnungsdurchmesser zu definieren.

Da eine solche Seitenwandisolierschicht vorgesehen ist, kann der Öffnungsdurchmesser des Lochs kleiner gemacht werden als die durch die Photolithographie gebildete minimal mögliche Abmessung.

Bei dem oben beschriebenen Aspekt ist die Seitenwandisolierschicht bevorzugt aus einem Material gebildet, daß eine Ätzrate aufweist, die sich von der der ersten Isolierschicht unterscheidet.

Da die Seitenwandisolierschicht aus einem Material gebildet ist, das eine Ätzrate aufweist, die sich von der ersten Isolierschicht unterscheidet, kann eine Vergrößerung des ersten Öffnungsdurchmessers des Lochs während der Bildung des Lochs verhindert werden.

Bei dem oben beschriebenen Aspekt sind bevorzugt eine fünfte Isolierschicht, die so gebildet ist, daß die obere Oberfläche der Leitungsschicht bedeckt ist, und eine zweite Seitenwandisolierschicht, die auf der Seitenwand der Leitungsschicht gebildet ist, weiter vorgesehen. Die fünfte Isolierschicht und die Seitenwandisolierschicht sind aus einem Material gebildet, das eine Ätzrate aufweist, die sich von der der ersten Leitungsschicht unterscheidet.

Die fünfte Isolierschicht und die Seitenwandisolierschicht, die aus einem Material gebildet sind, das eine Ätzrate aufweist, die sich von der ersten Isolierschicht unterscheidet, sind so gebildet, daß die Oberfläche der Leitungsschicht durch die fünfte Isolierschicht und die Seitenwandisolierschicht geschützt. Daher kann ein Freilegen der Oberfläche der Leitungsschicht von der Seitenwand des Lochs verhindert werden. Daher kann ein elektrischer Kurzschluß zwischen der Leitungsschicht und einer anderen Leitungsschicht, die in das Loch gefüllt ist, verhindert werden.

Bei dem oben beschriebenen Aspekt wird bevorzugt eine Speicherzelle eines DRAMs in dem Halbleitersubstrat gebildet. Der Leitungsbereich ist der Source/Drainbereich des MOS-Transistors. Die Leitungsschicht ist entweder die Bitleitung oder der Speicherknoten des Kondensators.

In dieser Art kann in einer DRAM-Speicherzelle eine Kurzschlußschaltung zwischen der Gateelektroden-schicht des MOS-Transistors und der Bitleitung oder dem Speicherknoten des Kondensators verhindert werden, und damit kann ein Speicherzellenaufbau für einen DRAM erhalten werden, der einen sicheren Betrieb gewährleistet.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen

Fig. 1 eine Querschnittsansicht, die schematisch einen Aufbau einer Halbleitervorrichtung entsprechend einer ersten Ausführungsform der vorliegenden Erfindung zeigt,

Fig. 2 bis 12 schematische Querschnittsansichten, die die Schritte der Herstellung der Halbleitervorrichtung entsprechend der ersten Ausführungsform der vorliegenden Erfindung der Reihe nach zeigen,

Fig. 13 eine Querschnittsansicht, die schematisch einen Aufbau einer Halbleitervorrichtung entsprechend einer zweiten Ausführungsform der vorliegenden Erfindung zeigt

DE 196 10 272 A1

11

12

Fig. 14 eine Querschnittsansicht, die schematisch einen Aufbau einer Halbleitervorrichtung entsprechend einer dritten Ausführungsform der vorliegenden Erfindung zeigt

Fig. 15 bis 35 schematische Querschnittsansichten, die die Schritte der Herstellung der Halbleitervorrichtung entsprechend mit der dritten Ausführungsform der vorliegenden Erfindung der Reihe nach zeigen,

Fig. 36 eine Querschnittsansicht, die schematisch den Aufbau einer Halbleitervorrichtung entsprechend einer Modifikation der dritten Ausführungsform der vorliegenden Erfindung zeigt,

Fig. 37 eine Querschnittsansicht, die schematisch einen Aufbau einer Halbleitervorrichtung entsprechend einer vierten Ausführungsform der vorliegenden Erfindung zeigt,

Fig. 38 bis 50 schematische Querschnittsansichten, die die Schritte der Herstellung der Halbleitervorrichtung entsprechend mit der vierten Ausführungsform der vorliegenden Erfindung der Reihe nach zeigen,

Fig. 51 eine Querschnittsansicht, die schematisch einen Aufbau einer Halbleitervorrichtung entsprechend mit einem ersten Beispiel des Standes der Technik zeigt,

Fig. 52 bis 56 schematische Querschnittsansichten, die die Schritte der Herstellung der Halbleitervorrichtung entsprechend dem ersten Beispiel des Standes der Technik der Reihe nach zeigen,

Fig. 57 bis 59 Darstellungen, die zeigen wie die Gateelektrodensicht mit der Leitungsschicht kurzgeschlossen ist;

Fig. 60 und 61 Darstellungen des Herstellungsverfahrens zum Verhindern des Kurzschlusses zwischen den Leitungsschichten;

Fig. 62 eine schematische Querschnittsansicht, die die freigelegte Gateelektrode in dem Herstellungsverfahren zur Meldung des Kurzschlusses zwischen den Leitungsschichten zeigt;

Fig. 63 bis 69 schematische Querschnittsansichten, die die Schritte der Herstellung der Halbleitervorrichtung entsprechend einem zweiten Beispiel des Standes der Technik der Reihe nach zeigen; und

Fig. 70 bis 74 Schritte zum Bilden eines Speicherknotens oder einer Bitleitung.

1. Ausführungsform

Wie in Fig. 1 gezeigt ist, ist auf einer Oberfläche eines Halbleitersubstrats 1 ein MOS-Transistor 10 gebildet.

Der MOS-Transistor 10 enthält ein Paar von Source/Drainbereichen 3, 3, eine Gateisolierschicht 5 und eine Gateelektrodensicht 7. Das Paar von Source/Drainbereichen 3, 3 ist in der Oberfläche des Halbleitersubstrats 1 mit einem vorbestimmten Abstand voneinander gebildet. Die Gateelektrodensicht 7 ist auf der Oberfläche des Halbleitersubstrats 1 mit einer dazwischenliegenden Gateisolierschicht 5 gebildet, wobei die Gateelektrodensicht 7 von dem Paar von Source/Drainbereichen 3, 3 begrenzt ist.

Es ist eine Zwischenschichtisolierschicht 11, beispielsweise aus SiO_2 (Siliziumoxid), gebildet, um den MOS-Transistor 10 zu bedecken. Auf der Zwischenschichtisolierschicht 11 ist eine Isolierschicht 13, beispielsweise aus Si_3N_4 (Siliziumnitrid) oder SiON (Siliziumoxynitrid) gebildet. Das Material der Isolierschicht 13 ist nicht auf Si_3N_4 oder ähnliches beschränkt. Es kann aus jedem Material gebildet sein, welches eine von der Zwischenschichtisolierschicht 11 unterschiedliche Ätzrate aufweist.

Es ist eine Zwischenschichtisolierschicht 15, beispielsweise aus SiO_2 , auf der Isolierschicht 13 gebildet. Auf der Zwischenschichtisolierschicht 15 ist eine Isolierschicht 19, beispielsweise aus SiO_2 , gebildet. Die Zwischenschichtisolierschicht 15 und die Isolierschicht 19 können aus jedem anderen Material als SiO_2 gebildet sein, vorausgesetzt, daß das Material die gleiche Ätzrate wie die Zwischenschichtisolierschicht 11 aufweist.

Durch die Zwischenschichtisolierschicht 11, die Isolierschicht 13, die Zwischenschichtisolierschicht 15 und die Isolierschicht 19 ist ein Kontaktloch 27 gebildet, das einen Abschnitt der Oberfläche der Source/Drainbereiche 3 durch diese Isolierschichten erreicht. Das Kontaktloch 27 weist einen ersten Öffnungsdurchmesser $\phi 1$ in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 auf, der kleiner ist als die minimale Abmessung, die durch Photolithographie gebildet werden kann, und es weist in der Zwischenschichtisolierschicht 15 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser $\phi 2$ auf, der größer als der erste Öffnungsdurchmesser $\phi 1$ ist.

Der erste Öffnungsdurchmesser $\phi 1$ ist 0,05 bis 0,02 μm und der zweite Öffnungsdurchmesser $\phi 2$ ist 0,25 bis 0,40 μm .

An der Seitenwand des Kontaktlochs 27 in der Zwischenschichtisolierschicht 15 wurde eine Seitenwandisolierschicht 17 aus beispielsweise SiO_2 zurückgelassen, um die Form des zweiten Öffnungsdurchmessers $\phi 2$ zu definieren.

Eine Leitungsschicht 21, die beispielsweise die Bitleitung oder der Speicherknoten eines Kondensators sein wird, ist so gebildet, daß sie mit dem Source/Drainbereich 3 durch das Kontaktloch 27 elektrisch verbunden ist. Die Leitungsschicht 21 ist aus einem dotierten polykristallinen Silizium, einem Metall wie z. B. Wolfram, oder einer Legierung davon gebildet.

Die Dicke T_{11} der Zwischenschichtisolierschicht 11 ist ungefähr 200,0 bis ungefähr 300,0 nm (2000—3000 Å), die Dicke T_{13} der Isolierschicht 13 ist ungefähr 10,0 bis ungefähr 100,0 nm (100—1000 Å), die Dicke T_{15} der Zwischenschichtisolierschicht 15 ist ungefähr 100,0 bis ungefähr 200,0 nm (1000—2000 Å) und die Dicke T_{19} der Isolierschicht 19 ist ungefähr 50,0 bis ungefähr 100,0 nm (500—1000 Å). Diese Filmdicken basieren z. B. auf dem 0,25 μm Vorrichtungsmaßstabpegel.

Das Verfahren zur Herstellung einer Halbleitervorrichtung entsprechend mit der ersten Ausführungsform wird im folgenden beschrieben.

Zuerst wird, wie in Fig. 2 gezeigt ist, auf der Oberfläche des Halbleitersubstrats 1 eine Gateisolierschicht 5, beispielsweise aus einem Siliziumoxidfilm, durch beispielsweise eine thermische Oxidation gebildet. Auf der Gateisolierschicht 5 wird eine mit Fremdatomen, wie z. B. Phosphor, dotierte polykristalline Siliziumschichten 7a gebildet. Auf der polykristallinen Siliziumschicht 7a wird selektiv ein Resistmuster 31 gebildet. Unter Verwendung des Resistmusters 31 als Maske werden die polykristalline Siliziumschicht 7a und die Gateisolierschicht 5 anisotrop geätzt. Danach wird das Resistmuster 31 entfernt.

Wie in Fig. 3 gezeigt ist, wird durch das oben beschriebene Ätzen eine Gateelektrodensicht 7 aus der polykristallinen Siliziumschicht gebildet. Der Abstand L_{10} zwischen den nebeneinander angeordneten Gateelektroden 7, 7 ist so eingestellt, um beispielsweise 0,25 bis 0,4 μm zu sein. Danach wird eine Ionenimplantation durchgeführt, so daß ein Paar von Source/Drainbereichen 3, 3 in der Oberfläche des Halbleiter-

DE 196 10 272 A1

13

substrats 1 gebildet wird, wobei die Source/Drainbereiche 3, 3 mit einem vorbestimmten Abstand voneinander angeordnet werden. Das Paar von Source/Drainbereichen 3, 3, die Gateisolierschicht 5 und die Gateelektroden-schicht 7 bilden den MOS-Transistor 10.

Wie in Fig. 4 gezeigt ist, wird eine Isolierschicht 11, die beispielsweise aus SiO_2 gebildet ist, abgeschieden, z. B. durch CVD mit reduziertem Druck (chemisches Abscheiden aus der Gasphase) oder CVD mit normalen Druck, um den MOS-Transistor 10 zu bedecken. Danach wird die Isolierschicht 11 durch ein CMP-Verfahren (chemisches/mechanisches Polieren), durch Zurückätzen oder durch Verfliesen planarisiert.

Wie in Fig. 5 gezeigt ist, wird auf der Isolierschicht 11 eine Isolierschicht 13 aus Si_3N_4 mit einer Dicke von 10,0 bis 100,0 nm durch beispielsweise das CVD-Verfahren mit reduzierten Druck oder ein Plasma-CVD-Verfahren abgeschieden. Auf der Isolierschicht 13 wird eine Zwischenschichtisolierschicht 15 aus SiO_2 mit einer Dicke von 100,0 bis 200,0 nm durch beispielsweise das CVD-Verfahren mit reduzierten Druck oder das CVD-Verfahren mit normalen Druck abgeschieden. Danach wird durch der der Anmelderin bekannten Photolithographie und Ätzen eine Öffnung 23 in der Zwischenschichtisolierschicht 15 gebildet.

Wie in Fig. 6 gezeigt ist, wird auf der Zwischenschichtisolierschicht 15 eine Bedeckungsschicht 17a aus SiO_2 durch beispielsweise das CVD-Verfahren mit reduziertem Druck gebildet, um die innere Wandoberfläche der Öffnung 23 zu bedecken. Auf der gesamten Oberfläche der Bedeckungsschicht 17a wird ein anisotropes Trockenätzen durch beispielsweise ein RIE-Verfahren in einer Gasatmosphäre von CF_4 , CF_4-H_2 , C_3F_4 oder ähnlichem durchgeführt.

Wie in Fig. 7 gezeigt ist, wird durch das anisotrope Trockenätzen die Seitenwandisolierschicht 17 gebildet, die auf der Seitenwand der Öffnung in der Zwischenschichtisolierschicht 15 erhalten wurde. Unter Verwendung der Seitenwandisolierschicht 17 und der Zwischenschichtisolierschicht 15 als Maske wird ein anisotropes Trockenätzen durch RIE auf der Isolierschicht 13 in einer Gasatmosphäre von CF_4 , CF_4-H_2 , N_2 , SiF_4 oder ähnlichem durchgeführt.

Folglich wird eine Öffnung 25 in der Isolierschicht 13 gebildet, wobei das Loch einen Öffnungsdurchmesser aufweist, der kleiner ist als die minimal mögliche Abmessung, die durch Photolithographie gebildet werden kann.

Wie in Fig. 8 gezeigt ist, wird beispielsweise eine Isolierschicht 19a aus SiO_2 mit einer Dicke von 200,0 bis 300,0 nm durch das CVD-Verfahren mit reduzierten Druck oder das CVD-Verfahren mit normalen Druck gebildet, um die Öffnung 25 zu füllen. Die Isolierschicht 19a wird durch Trocken- oder Naßätzen ganz zurückgeätzt, so daß die obere Oberfläche planarisiert wird. Die Planarisierung kann durch das CMP-Verfahren durchgeführt werden.

Wie in Fig. 9 gezeigt ist, wird durch die oben beschriebene Planarisierung eine Isolierschicht 19 mit einer oberen Oberfläche, die planarisiert ist, erhalten.

Wie in Fig. 10 gezeigt ist, wird durch die der Anmelderin bekannte Photolithographie ein Resistmuster 33 mit einem Lochmuster oberhalb der Öffnung 25 auf der Isolierschicht 19 gebildet. Unter Verwendung des Resistmusters 33 als Maske wird ein Ätzen durchgeführt. Dieses Ätzen wird unter einer solchen SiO_2 Ätzbedingung durchgeführt, die eine große Selektivität zu SiN_4 aufweist, die beispielsweise in Proceedings of Institute

14

of Applied Physics Conference, Spring, 1994, 29p-ZF-2 oder in der monatlich erscheinenden Zeitschrift Semiconductor World 1993, 10, Seiten 68–75 beschrieben ist.

Wie in Fig. 11 gezeigt ist, wird in der Zwischenschichtisolierschicht 11 unterhalb der Isolierschicht 13 ein Kontaktloch 27 gebildet, während ein Öffnungsdurchmesser erhalten wird, der ungefähr der gleiche ist wie der der Öffnung 25 in der Isolierschicht 13. Genauer weist das Kontaktloch 27 in dem Abschnitt der gesamten Isolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser auf, der kleiner ist als die minimal mögliche Abmessung, die durch Photolithographie gebildet werden kann, und weist in der Zwischenschichtisolierschicht 15, der Seitenwandisolierschicht 17 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser auf, der durch die der Anmelderin bekannte Photolithographie gebildet werden kann. Danach wird das Resistmuster 33 entfernt.

Wie in Fig. 12 gezeigt ist, wird, wenn das Resistmuster entfernt wird, die obere Oberfläche der Isolierschicht 19 freigelegt.

Danach wird auf der Isolierschicht 19 eine Leitungsschicht 21 so gebildet, daß sie durch das Kontaktloch 27 elektrisch mit dem Source/Drainbereich 3 verbunden ist. Damit ist die in Fig. 1 gezeigte Halbleitervorrichtung fertiggestellt.

In der vorliegenden Ausführungsform ist in dem in Fig. 7 gezeigten Schritt auf der Seitenwand der Öffnung 13 eine Seitenwandisolierschicht 17 vorgesehen und unter Verwendung dieser als Maske wird die Isolierschicht 13 geätzt. Daher kann eine Öffnung 25 in der Isolierschicht 13 mit einem kleineren Durchmesser als die minimal mögliche Abmessung, die durch Photolithographie gebildet werden kann, gebildet werden. In dem in Fig. 11 gezeigten Schritt kann die Zwischenschichtisolierschicht 11 unter Verwendung der Isolierschicht 13 mit der Öffnung 25 als Maske geätzt werden. Daher kann der Öffnungsdurchmesser des Kontaktlochs 27 in der Zwischenschichtisolierschicht 11 kleiner gemacht werden als die minimal mögliche Prozeßabmessung. Daher kann ein Freilegen der Gateelektroden-schicht 7 durch das Kontaktloch 27 verhindert werden.

In der Halbleitervorrichtung, die in dieser Art gebildet wird, kann der Kurzschluß zwischen den Leitungsschichten sogar verhindert werden, wenn der Integrationsgrad erhöht wird, und damit wird ein stabiler Betrieb sichergestellt.

In der vorliegenden Ausführungsform ist die in Fig. 1 gezeigte Leitungsschicht 21 beispielsweise eine Bitleitung und wenn ein Speicherknoten auf der Bitleitung 21 gebildet wird, kann der Herstellungsprozeß im Vergleich mit dem zweiten Beispiel des Standes der Technik vereinfacht werden. Dies wird im Detail in Bezug zu der dritten Ausführungsform beschrieben.

Zweite Ausführungsform

In der vorliegenden Ausführungsform ist die in dem in Fig. 7 gezeigten Schritt gebildete Seitenwandisolierschicht 17 aus Si_3N_4 oder SiON gebildet, was das gleiche Material wie beispielsweise die Isolierschicht 13 ist. Daher wird in den in Fig. 10 und 11 gezeigten Ätzschritten die Seitenwandisolierschicht 17 stark geätzt aber verbleibt wie in Fig. 13 gezeigt ist. In der vorliegenden Ausführungsform kann die Seitenwandisolierschicht 17 aus jedem anderen Material als das oben aufgeführte Material gebildet werden, vorausgesetzt, daß das Mate-

DE 196 10 272 A1

15

rial eine unterschiedliche Ätzrate zu der Zwischenschichtisolierschicht 15 aufweist.

In diesem Fall ist es möglich, daß es einen Zwischenraum 127a gibt, der zwischen der Seitenwandisolierschicht 117 und der Zwischenschichtisolierschicht 15 erzeugt wurde aufgrund eines Überdeckungsfehlers oder eines Abmessungsfehlers. Es kann oder es kann nicht einen solchen Zwischenraum geben, da er aus einem Fehler resultiert.

In der ersten Ausführungsform weist die Isolierschicht 13 zur Zeit des Ätzens der Zwischenschichtisolierschicht 15 und der Seitenwandisolierschicht 17 von Fig. 11 eine hohe chemische Selektivität auf. Es kann jedoch möglich sein, daß ein Öffnungsende der Isolierschicht 13 physikalisch geätzt wird (z. B. durch Ionen-10 aufprall verursachtes Sputtern) und daß der in Fig. 1 gezeigte Öffnungsdurchmesser Ø1 vergrößert wird und größer ist als der vorbestimmte Wert.

In der vorliegenden Ausführungsform ist die Seitenwandisolierschicht 117 mit einer hohen Selektivität zu der Zwischenschichtisolierschicht 15 auf einem oberen Abschnitt des Öffnungsendes der Isolierschicht 13 gebildet. Daher kann, wenn es etwas physikalisches Ätzen gibt, die Vergrößerung des Durchmessers Ø1 zu einer Größe, die größer ist als die durch Photolithographie 25 bildbare mögliche Abmessung, wie in Fig. 13 gezeigt ist, verhindert werden.

3. Ausführungsform

Wie in Fig. 14 gezeigt ist, ist in einem Bereich, der durch die Elementtrennisolierschicht 241 des Halbleitersubstrats abgetrennt ist, eine Speicherzelle eines DRAMs gebildet. Die Speicherzelle weist eine Eintransistor-Einkondensatorstruktur auf und weist einen COB-Aufbau (Kondensator auf der Bitleitung) auf.

Der MOS-Transistor 10, der die Speicherzelle bildet, enthält ein Paar von Source/Drainbereichen 3, 3, eine Gateisolierschicht 5 und eine Gateelektrodenschicht 7. Das Paar von Source/Drainbereichen 3, 3 wird in der Oberfläche des Halbleitersubstrats 1 gebildet, wobei die Bereiche durch einen vorbestimmten Abstand voneinander angeordnet sind. Die Gateelektrodenschicht 7 ist auf der Oberfläche des Halbleitersubstrats 1 mit der dazwischenliegenden Gateisolierschicht 5 gebildet und durch das Paar von Source/Drainbereichen 3, 3, begrenzt.

Es ist eine Zwischenschichtisolierschicht 11, beispielsweise aus SiO₂, gebildet, um den MOS-Transistor 10 zu bedecken. Auf der Zwischenschichtisolierschicht 11 ist eine Isolierschicht 13 gebildet, die beispielsweise aus Si₃N₄ oder SiON gebildet ist. Auf der Isolierschicht 13 sind eine Zwischenschichtisolierschicht 15 und eine Isolierschicht 19 in dieser Reihenfolge gestapelt. Die Zwischenschichtisolierschicht 15 ist beispielsweise aus SiO₂ gebildet und weist eine Dicke von 100,0 bis 200,0 nm auf. Die Zwischenschichtisolierschicht 19 ist beispielsweise aus SiO₂ gebildet und weist eine Dicke von 50,0 bis 100,0 nm auf.

Durch die Zwischenschichtisolierschichten 11, 15 und die Isolierschichten 13 und 19 ist ein Kontaktloch 27 für eine Bitleitung gebildet, daß einen Abschnitt der Oberfläche des Source/Drainbereiches 3 erreicht.

In dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 weist das Kontaktloch 27 einen ersten Öffnungsdurchmesser Ø4 auf, der kleiner ist als die durch Photolithographie bildbare minimale mögliche Abmessung und es weist in dem Abschnitt der

16

Seitenwandisolierschicht 17 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser Ø5 auf, der größer ist als der erste Öffnungsdurchmesser Ø4. Der erste Öffnungsdurchmesser Ø4 ist beispielsweise 0,05 bis 0,20 µm und der zweite Öffnungsdurchmesser Ø5 ist beispielsweise 0,25 bis 0,40 µm.

Auf der Seitenwand der Zwischenschichtisolierschicht 15 ist die Seitenwandisolierschicht 17 aus beispielsweise SiO₂ gebildet, um die Form des zweiten Öffnungsdurchmessers Ø5 des Kontaktloches 27 zu definieren.

Es ist eine Bitleitung 21 auf der Isolierschicht 19 gebildet, um mit dem Source/Drainbereich 3 durch das Kontaktloch 27 elektrisch verbunden zu sein. Die Bitleitung 21 ist aus einem mit Fremdatomen, Metall, wie z. B. Wolfram, oder einer Legierung davon dotierten polykristallinen Silizium gebildet. Die Filmdicke T₂₁ der Bitleitung 21 ist 100,0 bis 200,0 nm. Die Zwischenschichtisolierschicht 201 ist beispielsweise aus SiO₂ gebildet, um die Bitleitung 21 zu bedecken. Die Filmdicke T₂₀₁ des Zwischenschichtisolierschicht 201 ist 300,0 bis 400,0 nm.

Durch die Zwischenschichtisolierschichten 11, 15, 201 und die Isolierschichten 13 und 19 ist ein Kontaktloch 227 für einen Speicherknoten gebildet, das einen Abschnitt auf der Oberfläche des Source/Drainbereiches 3 durch die Isolierschichten erreicht. Das Kontaktloch 227 weist in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser Ø6 auf, der kleiner ist als die durch Photolithographie bildbare minimal mögliche Abmessung, und weist in dem Abschnitt der Zwischenschichtisolierschichten 15, 201, der Seitenwandisolierschicht 17 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser Ø7 auf, der größer ist als der erste Öffnungsdurchmesser Ø6. Der erste Öffnungsdurchmesser Ø6 des Kontaktloches 227 ist beispielsweise 0,05 bis 0,20 µm und der zweite Öffnungsdurchmesser Ø7 ist 0,25 bis 0,40 µm.

Auf der Seitenwand des Kontaktloches 227 der Zwischenschichtisolierschicht 15 ist die Seitenwandisolierschicht 17 aus beispielsweise SiO₂ zurückgelassen worden, um die Form des zweiten Öffnungsdurchmessers Ø7 zu bestimmen.

In dieser Art und Weise ist auf der Zwischenschichtisolierschicht 201 ein Kondensator 210 gebildet, um mit dem Source/Drainbereich 3 durch das Kontaktloch 227 elektrisch verbunden zu sein.

Der Kondensator 210 weist einen Speicherknoten (untere Elektrodenschicht) 203, eine Kondensatorisolierschicht 205 und eine Zellplatte (obere Elektrodenschicht) 207 auf. Der Speicherknoten 203 ist auf der Zwischenschichtisolierschicht 201 gebildet, um mit dem Source/Drainbereich 3 durch das Kontaktloch 227 elektrisch verbunden zu sein. Die Zellplatte 207 ist gebildet, um den Speicherknoten 203 mit der dazwischenliegenden Kondensatorisolierschicht 205 zu bedecken.

Die Kondensatorisolierschicht ist beispielsweise aus SiO₂ oder Si₃N₄ oder aus einem Mehrschichtfilm davon gebildet und weist eine Dicke von 1,0 bis 10,0 nm auf. Die Kondensatorisolierschicht 205 ist aus TaO₅, PZT (Legierung aus P, Zn und Ti), BST (Legierung aus Ba, Sr, Ti) oder aus BSTO (Legierung aus Ba, Sr, Ti und O) gebildet und die Filmdicke davon soll nicht größer als 1 Å (0,1 nm) sein.

Die Isolierschicht 211 ist gebildet, um den Kondensator 210 zu bedecken. Eine Aluminiumverbindungs-schicht 213 ist auf der Isolierschicht 211 gebildet. Ein Passivierungsfilm 215 ist beispielsweise gebildet, um die

DE 196 10 272 A1

17

Aluminiumverbindungserschicht 213 zu bedecken.

Das Verfahren zur Herstellung der Halbleitervorrichtung entsprechend mit der vorliegenden Ausführungsform wird im folgenden beschrieben.

Zuerst wird, wie in Fig. 15 gezeigt ist, in einem durch die Elementtrennisolierschicht 241 des Halbleitersubstrats 1 getrennten Bereich ein MOS-Transistor 10 in einer Art gebildet, die ähnlich zu der der oben beschriebenen ersten Ausführungsform ist. Es wird eine Zwischenschichtisolierschicht 11 aus SiO_2 beispielsweise durch das CVD-Verfahren mit reduziertem Druck oder das CVD-Verfahren mit normalen Druck gebildet, um den MOS-Transistor 10 zu bedecken. Es wird eine Planarisierung durch CMP, Zurückätzen oder Verfließen der Zwischenschichtisolierschicht 11 durchgeführt.

Wie in Fig. 16 gezeigt ist, wird auf der oberen Oberfläche der planarisierten Zwischenschichtisolierschicht 11 eine Isolierschicht 13 aus Si_3N_4 mit einer Dicke von 10,0 bis 100,0 nm durch beispielsweise das CVD-Verfahren mit reduziertem Druck oder das Plasma-CVD-Verfahren gebildet. Auf der Isolierschicht 13 wird eine Zwischenschichtisolierschicht 15 aus SiO_2 durch das CVD-Verfahren mit reduziertem Druck oder das CVD-Verfahren mit normalen Druck gebildet.

Wie in Fig. 17 gezeigt ist, wird auf der Zwischenschichtisolierschicht 15 ein Resistmuster 231a mit einer vorbestimmten Form durch die der Anmelderin bekannte Photolithographie gebildet. Unter Verwendung des Resistmusters 231a als Maske wird auf der Zwischenschichtisolierschicht 15 ein anisotropes Ätzen durchgeführt.

Wie in Fig. 18 gezeigt ist, wird durch dieses Ätzen die Öffnung 23 in der Zwischenschichtisolierschicht 15 gebildet. Danach wird das Resistmuster 231a entfernt.

Wie in Fig. 19 gezeigt ist, wird auf der Seitenwand der Öffnung 23 in der Zwischenschichtisolierschicht 15 eine Seitenwandisolierschicht 17 aus SiO_2 in einer zu der ersten Ausführungsform ähnlichen Art gebildet. Unter Verwendung der Seitenwandisolierschicht 17 und der Zwischenschichtisolierschicht 15 als Maske wird die Isolierschicht 13 anisotrop geätzt. Das Ätzen ist beispielsweise ein anisotropes Trockenätzen entsprechend dem RIE und wird in einer Gasatmosphäre aus CF_4 , $\text{CF}_4-\text{H}_2-\text{N}_2$, SiF_4 oder ähnlichem durchgeführt. Durch dieses Ätzen wird die Öffnung 25 in der Isolierschicht 13 gebildet.

Wie in Fig. 20 gezeigt ist, wird die Isolierschicht 19a aus SiO_2 beispielsweise durch das CVD-Verfahren mit reduziertem Druck oder durch das CVD-Verfahren mit normalen Druck mit einer Dicke von 200,0 bis 300,0 nm gebildet, um die Öffnung 25 zu füllen. Die Isolierschicht 19a wird insgesamt durch Trocken- oder durch Naßätzen zurückgeätzt. Diese Planarisierung kann beispielsweise durch CMP durchgeführt werden.

Wie in Fig. 21 gezeigt ist, wird durch dieses Planarisieren eine Isolierschicht 19 mit einer planarisierten oberen Oberfläche gebildet.

Wie in Fig. 22 gezeigt ist, wird auf der Isolierschicht 19 ein Resistmuster 231b durch die der Anmelderin bekannte Photolithographie so gebildet, daß ein Lochmuster direkt oberhalb der Öffnung 25 positioniert ist. Unter Verwendung des Resistmusters 231b als Maske wird die untere Schicht anisotrop geätzt. Das anisotrope Ätzen wird unter der ähnlichen Bedingung wie in der ersten Ausführungsform, die in Fig. 10 und 11 gezeigt ist, durchgeführt.

Wie in Fig. 23 gezeigt ist, wird durch dieses Ätzen ein Kontaktloch 27, daß den Source/Drainbereich 3 durch

18

die Zwischenschichtisolierschichten 11, 15, die Isolierschichten 13, 19 und die Seitenwandisolierschicht 17 erreicht, gebildet. Das Kontaktloch 27 weist in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser auf, der kleiner ist als die durch Photolithographie bildbare minimal mögliche Abmessung, und weist in dem Abschnitt der Zwischenschichtisolierschicht 15, der Seitenwandisolierschicht 17 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser auf, der größer ist als der erste Öffnungsdurchmesser. Danach wird das Resistmuster 231 entfernt.

Wie in Fig. 24 gezeigt ist, wird eine Leitungsschicht 21a, die aus mit Fremdatomen, wie z. B. Phosphor, dotierten polykristallinen Silizium gebildet ist, auf der Isolierschicht 19 gebildet, um durch das Kontaktloch 27 elektrisch mit dem Source/Drainbereich 3 verbunden zu sein. Bei einer gewünschten Position der Leitungsschicht 21a wird ein Resistmuster 231c gebildet. Unter Verwendung des Resistmusters 231c als Maske wird ein anisotropes Ätzen auf der Leitungsschicht 21a durchgeführt.

Wie in Fig. 25 gezeigt ist, wird durch dieses Ätzen eine Bitleitung 21, die elektrisch mit dem Source/Drainbereich 3 durch das Kontaktloch 27 verbunden ist, gebildet.

Wie in Fig. 26 gezeigt ist, wird eine Zwischenschichtisolierschicht 201 aus SiO_2 durch beispielsweise das CVD-Verfahren mit reduziertem Druck oder das CVD-Verfahren mit normalen Druck gebildet, um die Bitleitung 21 zu bedecken. Die Zwischenschichtisolierschicht 201 weist eine obere Oberfläche auf die durch beispielsweise Verfließen, Zurückätzen oder das CMP-Verfahren planarisiert ist.

Wie in Fig. 27 gezeigt ist, wird auf der Zwischenschichtisolierschicht 201 durch die der Anmelderin bekannte Photolithographie ein Resistmuster 231d mit einem Lochmuster direkt oberhalb der Öffnung 25 gebildet. Unter Verwendung des Resistmusters 231d als Maske wird die untere Schicht anisotrop geätzt. Das anisotrope Ätzen wird unter der gleichen Bedingung, wie bei der in Fig. 10 und 11 gezeigten ersten Ausführungsform, durchgeführt.

Wie in Fig. 28 gezeigt ist, wird durch dieses Ätzen ein Kontaktloch 227, das den Source/Drainbereich 3 durch die Zwischenschichtisolierschichten 11, 15, 201, die Isolierschichten 13, 19 und die Seitenwandisolierschicht 17 erreicht, gebildet. Das Kontaktloch 227 weist in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser auf, der kleiner ist als die durch Photolithographie bildbare minimale Abmessung, und weist in dem Abschnitt der Zwischenschichtisolierschichten 15 und 201, der Seitenwandisolierschicht 17 und der Isolierschicht 19 einen zweiten Durchmesser auf, der größer ist als der erste Öffnungsdurchmesser. Danach wird das Resistmuster 231b entfernt.

Wie in Fig. 29 gezeigt ist, wird, wenn das Resistmuster entfernt wird, die obere Oberfläche der Zwischenschichtisolierschicht 201 freigelegt.

Wie in Fig. 30 gezeigt ist, wird eine Leitungsschicht 203a aus einem mit Fremdatomen, wie z. B. Phosphor, dotierten polykristallinen Silizium auf der Zwischenschichtisolierschicht 201 gebildet, um durch das Kontaktloch 207 mit dem Source/Drainbereich 3 elektrisch verbunden zu sein. Die Leitungsschicht 203a kann aus einem Metall, wie z. B. Wolfram, oder aus einer Legierung davon gebildet sein. Auf der Leitungsschicht 203a

DE 196 10 272 A1

19

wird ein Resistmuster 231e mit einer gewünschten Form gebildet. Unter Verwendung des Resistmusters 231e als Maske wird die Leitungsschicht 203a anisotrop geätzt. Danach wird das Resistmuster 231e entfernt.

Wie in Fig. 31 gezeigt ist, wird durch das oben beschriebene Ätzen ein Speicherknoten 203 auf der Zwischenschichtisolierschicht 201 gebildet, um durch das Kontaktloch 227 mit dem Source/Drainbereich 3 elektrisch verbunden zu sein.

Wie in Fig. 32 gezeigt ist, wird eine Kondensatorisolierschicht 205 gebildet, um den Speicherknoten 203 zu bedecken. Eine Zellplatte 207 aus beispielsweise polykristallinen Silizium wird gebildet, um den Speicherknoten 203 mit der dazwischen vorgesehenen Kondensatorisolierschicht 205 zu bedecken. Der Speicherknoten 203, die Kondensatorisolierschicht 205 und die Zellplatte 207 bilden den Kondensator 210.

Wie in Fig. 33 gezeigt ist, wird eine Isolierschicht 211 gebildet, um die Zellplatte 207 zu bedecken, und es wird eine Aluminiumschicht 213a auf der Isolierschicht 211 gebildet.

Wie in Fig. 34 gezeigt ist, wird ein Resistmuster 231f auf der Aluminiumschicht 213a gebildet. Unter Verwendung des Resistmusters 231f als Maske wird die Aluminiumschicht 213a anisotrop geätzt. Danach wird das Resistmuster 231f entfernt.

Wie in Fig. 35 gezeigt ist, wird durch das oben beschriebene Ätzen eine Aluminiumverbindungsschicht 213 mit einer gewünschten Form gebildet. Danach wird ein Passivierungsfilm 211 gebildet, um die Aluminiumverbindungsschicht 213 zu bedecken, und damit wird die in Fig. 14 gezeigte Halbleitervorrichtung fertiggestellt.

In der vorliegenden Ausführungsform werden in dem in Fig. 19 gezeigten Schritt die Öffnungen 25 für die Bitleitung und den Speicherknoten gleichzeitig gebildet. Daher ist, wenn ein Kontaktloch 227 für den Speicherknoten wie in Fig. 27 und 28 gezeigt ist, gebildet werden soll, es nur notwendig ein Resistmuster 231d mit einem Lochmuster direkt oberhalb der Öffnung 25 zu bilden und die untenliegende Isolierschicht unter Verwendung des Resistmusters 231d als Maske zu Ätzen.

Die Öffnung 25 weist einen Durchmesser auf, der kleiner ist als die durch Photolithographie bildbare minimal mögliche Abmessung. Daher kann der Öffnungsdurchmesser des Kontaktlochs 227 in der Zwischenschichtisolierschicht 11, das durch Ätzen unter Verwendung der Isolierschicht 13 gebildet ist, kleiner sein als die durch Photolithographie bildbare minimal mögliche Abmessung.

In dieser Art wird es durch einmaliges Bilden einer Öffnung in einer Isolierschicht mit einer unterschiedlichen Ätzrate als die darunterliegende Isolierschicht möglich, ein Kontaktloch 227 mit einem kleinen Durchmesser in der Zwischenschichtisolierschicht 11 zu bilden, ohne die Notwendigkeit fehleranfälliger Schritte zu wiederholen, wie es im Stand der Technik verlangt wird.

Weiter kann der Öffnungsdurchmesser eines in einem Bereich des Gateelektrodenschichten 7, 7 begrenzten Bereiches des Kontaktlochs 227 kleiner gemacht werden als die durch Photolithographie bildbare minimal mögliche Ausdehnung. Daher kann ein Freilegen der Gateelektrodenschicht durch die Kontaktlöcher 27 und 227 verhindert werden. Daher kann eine Halbleitervorrichtung die DRAMs, die für einen höheren Integrationsgrad geeignet sind, enthält, zur Verfügung gestellt werden.

Das Kontaktloch für den Speicherknoten kann durch Wiederholen der in Fig. 18 bis 24 gezeigten Schritte,

20

nachdem die Bitleitung 21 gebildet ist, gebildet werden. Der Aufbau der Halbleitervorrichtung in diesem Fall ist in Fig. 36 gezeigt.

Wie in Fig. 36 gezeigt ist, ist eine Zwischenschichtisolierschicht 201 aus beispielsweise SiO_2 gebildet, um die Bitleitung 21 zu bedecken. Auf der Zwischenschichtisolierschicht 201 ist eine Isolierschicht 263 aus beispielsweise Si_3N_4 gebildet. Auf der Isolierschicht 263 ist eine Zwischenschichtisolierschicht 265 aus beispielsweise SiO_2 gebildet. Auf der Zwischenschichtisolierschicht 265 ist eine Isolierschicht 269 aus beispielsweise SiO_2 gebildet.

Ein Kontaktloch 277, das die Oberfläche des Halbleitersubstrats von der Isolierschicht 269 erreicht, ist gebildet. Das Kontaktloch 277 weist in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser auf, der kleiner ist als die durch Photolithographie bildbare minimal mögliche Abmessung, in einem Abschnitt der Zwischenschichtisolierschichten 15, 201, der Isolierschichten 19, 263 und der Seitenwandisolierschicht 17 einen zweiten Öffnungsdurchmesser auf, der größer ist als der erste Öffnungsdurchmesser, und weist in einem Abschnitt der Zwischenschichtisolierschicht 265, der Isolierschicht 269 und der Seitenwandisolierschicht 273 einen dritten Öffnungsdurchmesser auf, der größer ist als der zweite Öffnungsdurchmesser. Der Speicherknoten 203 ist gebildet, um durch das Kontaktloch 277 mit den Source/Drainbereich 3 elektrisch verbunden zu sein.

In den in Fig. 18 bis 24 gezeigten Schritten entspricht die Zwischenschichtisolierschicht 11 der Zwischenschichtisolierschicht 201 der vorliegenden Ausführungsform, die Isolierschicht 13 entspricht der Isolierschicht 263, die Zwischenschichtisolierschicht 15 entspricht der Zwischenschichtisolierschicht 265, die Seitenwandisolierschicht 17 entspricht der Seitenwandisolierschicht 273 und die Isolierschicht 19 entspricht der Isolierschicht 269 der vorliegenden Ausführungsform.

4. Ausführungsform

Wie in Fig. 37 gezeigt ist, ist in einem Bereich, der durch die Elementtrennisolierschicht 241 des Halbleitersubstrats 1 abgetrennt ist, eine Speicherzelle eines DRAMs mit einem COB-Aufbau gebildet.

Der Aufbau der Halbleitervorrichtung entsprechend mit der vorliegenden Ausführungsform unterscheidet sich von der dritten Ausführungsform dadurch, daß die obere Oberfläche der Bitleitung 21 durch eine Isolierschicht 301, die beispielsweise aus Si_3N_4 gebildet ist, bedeckt ist und daß die Seitenwände der Bitleitung 21 durch eine Seitenwandisolierschicht 303 aus Si_3N_4 bedeckt sind.

Die Dicke der Isolierschicht 301 ist 50,0 bis 100,0 nm, und die Dicke T_{201} der Zwischenschichtisolierschicht 201 ist in diesem Fall 350,0 bis 500,0 nm.

Außer diesen Punkten ist der Aufbau der gleiche wie der der dritten Ausführungsform, und daher sind entsprechende Abschnitte durch entsprechende Bezugszeichen bezeichnet und die Beschreibung davon wird nicht wiederholt.

Ein Verfahren zur Herstellung der Halbleitervorrichtung entsprechend mit der vorliegenden Ausführungsform wird im folgenden beschrieben.

Das Verfahren zur Herstellung entsprechend mit der vorliegenden Ausführungsform enthält die gleichen Schritte wie die dritte Ausführungsform, wie in Fig. 15 bis 23 gezeigt ist. Danach wird das Resistmuster 231

DE 196 10 272 A1

21

22

entfernt. Dann wird, wie in Fig. 38 gezeigt ist, eine Leitungsschicht 21a aus polykristallinen Silizium auf der Zwischenschichtisolierschicht 19 gebildet, um elektrisch durch das Kontaktloch 27 mit dem Source/Drainbereich 3 verbunden zu sein. Auf der Leitungsschicht 21a wird eine Isolierschicht 301a aus Si_3N_4 mit einer Dicke von beispielsweise 50,0 bis 100,0 nm gebildet. Auf der Isolierschicht 301a wird ein Resistmuster 331a mit einer vorbestimmten Form gebildet. Unter Verwendung des Resistmusters 331a als Maske werden die Isolierschicht 301a und die Leitungsschicht 21a nacheinander geätzt. Das Ätzen der Isolierschicht 301a ist ein anisotropes Trockenätzen entsprechend dem RIE, das in einer Gasatmosphäre aus CF_4 , CF_4-H_2 , C_3F_8 , $\text{CF}_4-\text{H}_2-\text{N}_2$, SiF_4 oder ähnlichem durchgeführt wird. Das Ätzen der Leitungsschicht 21a ist ein anisotropes Trockenätzen entsprechend dem RIE und wird in einer Gasatmosphäre aus CF_4 , CCl_2F_2 , CCl_4 , SF_6 , CF_4-H oder ähnlichem durchgeführt.

Wie in Fig. 39 gezeigt ist, wird durch dieses Ätzen eine Bitleitung 21 mit einer gewünschten Form gebildet. Die Isolierschicht 301 wird nur auf der oberen Oberfläche der Bitleitung 21 zurückgelassen. Danach wird das Resistmuster 331a entfernt.

Wie in Fig. 40 gezeigt ist, wird, wenn das Resistmuster entfernt wird, die obere Oberfläche der Isolierschicht 301 freigelegt.

Wie in Fig. 41 gezeigt ist, wird auf der gesamten Oberfläche eine Isolierschicht 303 aus beispielsweise Si_3N_4 gebildet. Die Isolierschicht 303 wird einem anisotropen Trockenätzen entsprechend beispielsweise dem RIE in einer Gasatmosphäre aus CF_4 , CF_4-H_2 , C_3F_8 , $\text{CF}_4-\text{H}_2-\text{N}_2$, SiF_4 oder ähnlichem unterworfen. Folglich wird die Seitenwandisolierschicht 303 aus Si_3N_4 gebildet, um die Bitleitung 120 und die Seitenwände der Isolierschicht 301 zu bedecken.

Wie in Fig. 42 gezeigt ist, wird die Zwischenschichtisolierschicht 201 aus SiO_2 durch beispielsweise das CVD-Verfahren mit reduziertem Druck oder das CVD-Verfahren mit normalen Druck gebildet, um die Bitleitung 21 zu bedecken. Die Zwischenschichtisolierschicht 201 wird durch Verfließen, Zurückätzen oder das CMP-Verfahren planarisiert. Durch diese Planarisierung wird eine Zwischenschichtisolierschicht 201 mit einer planarisierten oberen Oberfläche erhalten. Ein Resistmuster 331b mit einer gewünschten Form wird auf der Zwischenschichtisolierschicht 201 gebildet.

Wie in Fig. 43 gezeigt ist, wird unter Verwendung des Resistmusters 331b als Maske die tiefer liegende Isolierschicht geätzt. Dieses Ätzen wird unter der gleichen Bedingung, wie in der ersten Ausführungsform mit Bezug zu Fig. 10 und 11 beschrieben wurde, durchgeführt. Folglich wird ein Kontaktloch 327, daß das Halbleitersubstrat 1 von der Zwischenschichtisolierschicht 201 erreicht, gebildet. Das Kontaktloch 327 weist in dem Abschnitt der Zwischenschichtisolierschicht 11 und der Isolierschicht 13 einen ersten Öffnungsdurchmesser auf, der kleiner ist als die durch Photolithographie bildbare minimal mögliche Abmessung, weist in dem Abschnitt der Zwischenschichtisolierschicht 15 und der Isolierschicht 19 einen zweiten Öffnungsdurchmesser auf, der größer ist als der erste Öffnungsdurchmesser, und weist in dem Abschnitt der Zwischenschichtisolierschicht 201 einen dritten Öffnungsdurchmesser auf, der größer ist als der zweite Öffnungsdurchmesser. Danach wird das Resistmuster 331b entfernt.

Wie in Fig. 44 gezeigt ist, wird, wenn das Resistmuster entfernt wird, eine obere Oberfläche der Zwischen-

schichtisolierschicht 201 freigelegt.

Wie in Fig. 45 gezeigt ist, wird eine Leitungsschicht 203a aus einem mit Fremdatomen, wie z. B. Phosphor, dotierten polykristallinen Silizium auf der Zwischenschichtisolierschicht 201 gebildet, um durch das Kontaktloch 327 mit dem Source/Drainbereich 3 elektrisch verbunden zu sein. Die Leitungsschicht 203a kann aus einem Metall, wie z. B. Wolfram, oder einer Legierung davon gebildet sein. Ein Resistmuster 331c mit einer gewünschten Form wird auf der Leitungsschicht 203a gebildet. Die Leitungsschicht 203a wird unter Verwendung des Resistmusters 331c als Maske geätzt.

Wie in Fig. 46 gezeigt ist, wird durch dieses Ätzen der Speicherknoten 203 mit einer gewünschten Form gebildet.

Wie in Fig. 47 gezeigt ist, wird die Kondensatorisolierschicht 205 gebildet, um den Speicherknoten 203 zu bedecken. Es wird eine Zellplatte 207, die beispielsweise aus einem mit Fremdatomen dotierten polykristallinen Silizium gebildet ist, gebildet, um den Speicherknoten 203 mit der dazwischen vorgesehenen Kondensatorisolierschicht 205 zu bedecken.

Wie in Fig. 48 gezeigt ist, wird auf der Zellplatte 207 eine Isolierschicht 211 gebildet, und auf der Isolierschicht 211 wird eine Aluminiumschicht 213a gebildet.

Wie in Fig. 49 gezeigt ist, wird ein Resistmuster 331d mit einer gewünschten Form auf der Aluminiumschicht 213a gebildet. Unter Verwendung des Resistmusters 331d als Maske wird die Aluminiumschicht 213a geätzt. Danach wird das Resistmuster 331d entfernt.

Wie in Fig. 50 gezeigt ist wird durch dieses Ätzen eine Aluminiumverbindungsschicht 213 mit einer gewünschten Form gebildet. Danach wird ein Passivierungsfilm gebildet, um die Aluminiumverbindungsschicht 213 zu bedecken, und damit wird die in Fig. 37 gezeigte Halbleitervorrichtung fertiggestellt.

In der vorliegenden Ausführungsform wird das Kontaktloch 327 in dem in Fig. 42 und 43 gezeigten Schritt gebildet. Wenn eine Bitleitung 21 von der Seitenwand des Kontaktlochs 327 freigelegt werden sollte, würden der Speicherknoten und die Bitleitung 21, die nacheinander gebildet werden sollen, kurzgeschlossen werden.

Um diesen Kurzschluß in der dritten Ausführungsform zu verhindern, ist ein Spielraum für Abmessungsfehler und Überdeckungsfehler der Maske zwischen der Bitleitung und dem Kontaktloch vorgesehen.

Im Gegensatz dazu sind in der vorliegenden Ausführungsform die Isolierschicht 301 und die Seitenwandisolierschicht 303 gebildet, um die Bitleitung 21 zu bedecken. Die Isolierschicht 301 und die Seitenwandisolierschicht 303 sind beispielsweise aus Si_3N_4 gebildet, was eine unterschiedliche Ätzrate als andere Isolierschichten, die aus SiO_2 gebildet sind, aufweist. Daher werden während dem Ätzen zum Bilden des Kontaktlochs 327 die Isolierschicht 301 und die Seitenwandisolierschicht 303 stark geätzt. Folglich kann ein Freilegen der Bitleitung 21 von der Seitenwand des Kontaktlochs 327 verhindert werden. Daher kann der elektrische Kurzschluß zwischen der Bitleitung 21 und dem Speicherknoten verhindert werden, ohne die Notwendigkeit einen Designspielraum vorzusehen.

Die Abmessungen von jedem Abschnitt der oben beschriebenen ersten bis vierten Ausführungsformen basieren auf dem Vorrichtungsmaßstabsniveau von 0,25 μm . Daher ist die Abmessung von jedem Abschnitt nicht auf die oben beschriebene Abmessung beschränkt und kann beliebig in Bezug zu unterschiedlichen Vorrichtungsmaßstabsniveaus gesetzt werden.

DE 196 10 272 A1

23

In den oben beschriebenen ersten bis vierten Ausführungsformen weist der Source/Drainbereich 3 des MOS-Transistors 10 einen einfachen Drainaufbau auf. Er kann jedoch einen LDD-Aufbau (schwach dotierter Drainbereich) oder einen DDD-Aufbau (zweifach diffundierter Drainbereich) aufweisen.

Patentansprüche

1. Ein Verfahren zur Herstellung einer Halbleitervorrichtung mit den Schritten:
Bilden eines Leitungsbereichs (3) in einer Hauptoberfläche eines Halbleitersubstrats (1);
Bilden einer ersten Isolierschicht (11) auf der Hauptoberfläche des Halbleitersubstrats (1);
Bilden einer zweiten Isolierschicht (13), die eine zu der ersten Isolierschicht (11) unterschiedliche Ätzrate aufweist, auf der ersten Isolierschicht (11);
Bilden einer dritten Isolierschicht (15), die eine erste Öffnung (23) oberhalb des Leitungsbereichs (3) aufweist und die ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist, auf der zweiten Isolierschicht (13);
Bilden einer Seitenwandisolierschicht (17) auf einer Seitenwand der ersten Öffnung (23) der dritten Isolierschicht (15);
Entfernen der zweiten Isolierschicht (13) durch Ätzen unter Verwendung der Seitenwandisolierschicht (17) und der dritten Isolierschicht (15) als Maske bis die erste Isolierschicht (11) freigelegt wird, so daß eine zweite Öffnung (25) in der zweiten Isolierschicht (13) gebildet wird;
Bilden einer vierten Isolierschicht (19) auf der dritten Isolierschicht (15) und der Seitenwandisolierschicht (17), so daß die zweite Öffnung (25) gefüllt wird;
Bilden eines Resists (33) mit einem Lochmuster oberhalb der zweiten Öffnung (25), wobei das Lochmuster einen Öffnungsdurchmesser aufweist, der größer ist als der Öffnungsdurchmesser der zweiten Öffnung (25);
Ätzen der ersten, der zweiten, der dritten und der vierten Isolierschicht (11, 13, 15, 19) und der Seitenwandisolierschicht (17) unter einer solchen Bedingung, die das Ätzen der ersten, der dritten und der vierten Isolierschicht (11, 15, 19) fördert und die das Ätzen der zweiten Isolierschicht (13) unterdrückt, unter Verwendung des Resists (33) als Maske, so daß ein Loch (27) gebildet wird, das den Leitungsbereich (3) durch die erste, die zweite, die dritte und die vierte Isolierschicht (11, 13, 15, 19) erreicht und das in einem Abschnitt der ersten und zweiten Isolierschicht (11, 13) einen Durchmesser aufweist, der ungefähr der gleiche ist wie der der zweiten Öffnung (25), und das in einem Abschnitt der vierten Isolierschicht (19) einen Öffnungsdurchmesser aufweist, der ungefähr der gleiche wie der des Lochmusters ist; und
Bilden einer Leitungsschicht (21), die durch das Loch (27) mit dem elektrischen Bereich (3) verbunden ist und die sich über die vierte Isolierschicht (19) erstreckt.
2. Das Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die vierte Isolierschicht (19) so gebildet wird, daß sie eine planarisierte obere Oberfläche aufweist.
3. Das Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Seitenwandisolierschicht (17) eine Ätzrate aufweist, die von der der ersten Isolierschicht (11) verschieden ist.

24

4. Ein Verfahren zur Herstellung einer Halbleitervorrichtung mit den Schritten:
Bilden eines ersten und eines zweiten Leitungsbereichs (3) in einer Hauptoberfläche eines Halbleitersubstrats (1), die mit einem Abstand voneinander angeordnet sind;
Bilden einer ersten Isolierschicht (11) auf der Hauptoberfläche des Halbleitersubstrats (1);
Bilden einer zweiten Isolierschicht (13) mit einer Ätzrate, die verschieden ist zu der der ersten Isolierschicht (11), auf der ersten Isolierschicht (11);
Bilden einer dritten Isolierschicht (15), die ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist und die erste und zweite Öffnungen (23) oberhalb des ersten und des zweiten Leitungsbereichs (3) aufweist, auf der zweiten Isolierschicht (13);
Bilden einer ersten und einer zweiten Seitenwandisolierschicht (17) auf einer Seitenwand von jeweils der ersten und der zweiten Öffnung (23);
Entfernen der zweiten Isolierschicht (13) unter Verwendung der ersten und der zweiten Seitenwandisolierschicht (17) und der dritten Isolierschicht (15) als Maske durch Ätzen bis eine Oberfläche der ersten Isolierschicht (11) freigelegt wird, so daß eine dritte und eine vierte Öffnung (25) in der zweiten Isolierschicht (13) gebildet werden;
Bilden einer vierten Isolierschicht (19) auf der dritten Isolierschicht (15) und der ersten und der zweiten Seitenwandisolierschicht (17), so daß die dritte und vierte Öffnung (25) gefüllt werden;
Bilden eines ersten Resists (231b) mit einem Lochmuster, das einen größeren Öffnungsdurchmesser als der der dritten Öffnung (25) aufweist, oberhalb der dritten Öffnung (25) auf der vierten Isolierschicht (19);
Ätzen der ersten, der zweiten, der dritten und der vierten Isolierschicht (11, 13, 15, 19) und der ersten Seitenwandisolierschicht (17) unter einer solchen Bedingung, die das Ätzen der ersten, der dritten und der vierten Isolierschicht (11, 15, 19) fördert und die das Ätzen der zweiten Isolierschicht (13) unterdrückt, unter Verwendung des ersten Resists (231b) als Maske, so daß ein erstes Loch (27) gebildet wird, das den ersten Leitungsbereich (3) durch die erste, die zweite, die dritte und die vierte Isolierschicht (11, 13, 15, 19) erreicht und das in einem Abschnitt der ersten und der zweiten Isolierschicht (11, 13) einen Durchmesser aufweist, der ungefähr der gleiche ist wie der der dritten Öffnung (25), und das in einem Abschnitt der vierten Isolierschicht (19) einen Öffnungsdurchmesser aufweist, der ungefähr der gleiche wie der des Lochmusters des ersten Resists (231b) ist;
Bilden einer ersten Leitungsschicht (21), die elektrisch durch das erste Loch (27) mit dem ersten Leitungsbereich (3) verbunden ist und die sich über die vierte Isolierschicht (19) erstreckt;
Bilden einer fünften Isolierschicht (201), die ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist, auf der vierten Isolierschicht (19), so daß die erste Leitungsschicht (21) bedeckt wird;
Bilden eines zweiten Resists (231d) mit einem Loch-

DE 196 10 272 A1

25

muster, das einen größeren Durchmesser als der vierten Öffnung (25) aufweist, oberhalb der vierten Öffnung (25) auf der fünften Isolierschicht (201);

Ätzen der ersten, der zweiten, der dritten, der vierten und der fünften Isolierschicht (11, 13, 15, 19, 201) und der zweiten Seitenwandisolierschicht (17) unter einer solchen Bedingung, die das Ätzen der ersten, der dritten, der vierten und der fünften Isolierschicht (11, 15, 19, 201) fördert und die das Ätzen der zweiten Isolierschicht (13) unterdrückt, unter Verwendung des zweiten Resists (231d) als Maske, so daß ein zweites Loch (227) gebildet wird, das den zweiten Leitungsbereich (3) durch die erste, die zweite, die dritte, die vierte und die fünfte Isolierschicht (11, 13, 15, 17, 201) erreicht und das in einem Abschnitt der ersten und der zweiten Isolierschicht einen Durchmesser aufweist, der ungefähr gleich ist wie der der vierten Öffnung (25), und das in einem Abschnitt der vierten und der fünften Isolierschicht (19, 201) einen Öffnungsdurchmesser aufweist, der ungefähr gleich ist wie der des Lochmusters des zweiten Resists (231d); und

Bilden einer zweiten Leitungsschicht (203), die durch das zweite Loch (227) elektrisch mit dem zweiten Leitungsbereich (3) verbunden ist und die sich über die vierte Isolierschicht (19) erstreckt.

5. Das Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 4, gekennzeichnet durch die Schritte:

Bilden einer sechsten Isolierschicht (301) mit einer Ätzrate, die verschieden von der der ersten Isolierschicht (11) ist, auf der ersten Leitungsschicht (21) und

Bilden einer dritten Seitenwandisolierschicht (303) mit einer Ätzrate, die verschieden von der der ersten Isolierschicht (11) ist, so daß eine Seitenwand der ersten Leitungsschicht (21) bedeckt wird, wobei die fünfte Isolierschicht (201) auf der sechsten Isolierschicht (301) und der dritten Seitenwandisolierschicht (303) gebildet wird.

6. Eine Halbleitervorrichtung mit einem Halbleitersubstrat (1) mit einer Hauptoberfläche, einem Leitungsbereich (3), der in der Hauptoberfläche des Halbleitersubstrats (1) gebildet ist, einer ersten Isolierschicht (11), die auf der Hauptoberfläche des Halbleitersubstrats (1) gebildet ist, einer aus einem Material mit einer Ätzrate, die von der der ersten Isolierschicht (11) verschieden ist, gebildeten zweiten Isolierschicht (13), die auf der ersten Isolierschicht (11) gebildet ist, einer aus einem Material mit ungefähr der gleichen Ätzrate, wie die der ersten Isolierschicht (11), gebildeten dritten Isolierschicht (15), die auf der zweiten Isolierschicht (13) gebildet ist, und einer aus einem Material mit ungefähr der gleichen Ätzrate, wie die der ersten Isolierschicht (11), gebildeten vierten Isolierschicht (19), die auf der dritten Isolierschicht (15) gebildet ist,

wobei in der ersten, der zweiten, der dritten und der vierten Isolierschicht (11, 13, 15, 19) ein Loch (27) gebildet ist, daß den in der Hauptoberfläche des Halbleitersubstrats (1) gebildeten Leitungsbereich (3) durch diese Isolierschichten (11, 13, 15, 19) erreicht,

das Loch (27) in einem in der ersten und der zwei-

26

ten Isolierschicht (11, 13) gebildeten Abschnitt einen ersten Öffnungsdurchmesser aufweist, der kleiner ist als eine minimal mögliche Ausdehnung, die durch herkömmliche Photolithographie herstellbar ist,

und in einem in der vierten Isolierschicht (19) gebildeten Abschnitt einen zweiten Öffnungsdurchmesser aufweist, der größer ist als der erste Öffnungsdurchmesser,

wobei die Vorrichtung weiter eine Leitungsschicht (21) aufweist, die mit dem Leitungsbereich (3) durch das Loch (27) elektrisch verbunden ist und die sich über die vierte Isolierschicht (19) erstreckt.

7. Die Halbleitervorrichtung nach Anspruch 6, dadurch gekennzeichnet, daß die vierte Isolierschicht (19) eine planarisierte Oberfläche aufweist.

8. Die Halbleitervorrichtung nach Anspruch 6, oder 7, dadurch gekennzeichnet, daß eine Seitenwandisolierschicht (17) vorgesehen ist, die auf einer Seitenwand der dritten Isolierschicht (15) gebildet ist, um den zweiten Öffnungsdurchmesser des Lochs (29) zu definieren.

9. Die Halbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die Seitenwandisolierschicht (17) aus einem Material gebildet ist, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht (11) unterscheidet.

10. Die Halbleitervorrichtung nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, daß eine fünfte Isolierschicht (301) gebildet ist, um eine obere Oberfläche der Leitungsschicht (21) zu bedecken,

und daß eine zweite Seitenwandisolierschicht (303) auf einer Seitenwand der fünften Isolierschicht (301) und der Leitungsschicht (21) gebildet ist, wobei die fünfte Isolierschicht (301) und die Seitenwandisolierschicht (303) aus einem Material gebildet sind, das eine Ätzrate aufweist, die sich von der der ersten Isolierschicht (11) unterscheidet.

11. Die Halbleitervorrichtung nach einem der Ansprüche 6 bis 10, dadurch gekennzeichnet, daß eine Speicherzelle eines DRAMs mit einem MOS-Transistor (10) und einem Kondensator (210) auf dem Halbleitersubstrat (1) gebildet ist, daß der Leitungsbereich (3) ein Source/Drainbereich des MOS-Transistors (10) ist und daß die Leitungsschicht (21, 203) entweder eine Bitleitung oder ein Speicherknoten des Kondensators ist.

12. Die Halbleitervorrichtung nach einem der Ansprüche 6 bis 11, dadurch gekennzeichnet, daß der Leitungsbereich (3) einen ersten und einen zweiten Leitungsbereich aufweist, die voneinander entfernt angeordnet sind, die zweite Leitungsschicht (21) elektrisch mit dem ersten Leitungsbereich verbunden ist, die Vorrichtung weiter

eine auf der vierten Isolierschicht (19) gebildete fünfte Isolierschicht (201) aufweist, die die Leitungsschicht (21) bedeckt, und die ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist,

wobei ein zweites Loch (227) in der ersten, der zweiten, der dritten, der vierten und der fünften Isolierschicht (11, 13, 15, 19, 301) gebildet ist, das den in der Hauptoberfläche des Halbleitersubstrats (1) gebildeten zweiten Leitungsbereich durch diese Isolierschichten (11, 13, 15, 19, 301) erreicht,

DE 196 10.272 A1

27

28

das zweite Loch (227) in einem in der ersten und zweiten Isolierschicht (11, 13) gebildeten Abschnitt einen dritten Öffnungsdurchmesser aufweist, der kleiner ist als die minimal mögliche Ausdehnung, die durch herkömmliche Photolithographie herstellbar ist, und in einem in der vierten und der fünften Isolierschicht (19, 301) gebildeten Abschnitt einen vierten Öffnungsdurchmesser aufweist, der größer ist als der dritte Öffnungsdurchmesser, und daß die Vorrichtung weiter eine zweite Leitungsschicht (203) aufweist, die durch das zweite Loch (227) mit dem zweiten Leitungsbereich elektrisch verbunden ist.

13. Die Halbleitervorrichtung nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, daß eine auf der fünften Isolierschicht (201) gebildete sechste Isolierschicht (263), die aus einem Material gebildet ist, das eine von der ersten Isolierschicht (11) verschiedene Ätzrate aufweist, eine auf der sechsten Isolierschicht (263) gebildete siebte Isolierschicht (265), die aus einem Material gebildet ist, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist, und eine auf der siebten Isolierschicht (265) gebildete achte Isolierschicht (269), die aus einem Material gebildet ist, das ungefähr die gleiche Ätzrate wie die erste Isolierschicht (11) aufweist, vorgesehen sind,

wobei das zweite Loch (277) die sechste, die siebte und die achte Isolierschicht (263, 267, 269) durchdringt und in einem in der sechsten Isolierschicht (263) gebildeten Abschnitt den vierten Öffnungsdurchmesser aufweist und in einem in der achten Isolierschicht (269) gebildeten Abschnitt einen fünften Öffnungsdurchmesser aufweist, der größer ist als der vierte Öffnungsdurchmesser, und die zweite Leitungsschicht (203) so gebildet ist, daß sie sich über die achte Isolierschicht (269) erstreckt.

14. Die Halbleitervorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß eine auf einer Seitenwand der siebten Isolierschicht (265) gebildete zweite Seitenwandisolierschicht (273) vorgesehen ist, um den fünften Öffnungsdurchmesser des zweiten Lochs (277) zu definieren.

Hierzu 44 Seite(n) Zeichnungen

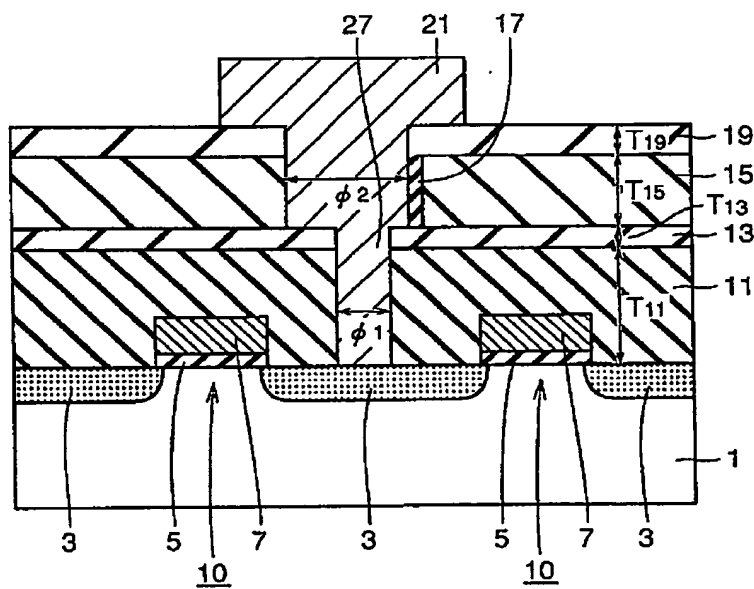
- Leerseite -

ZEICHNUNGEN SEITE 1

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 1



602 069/515

ZEICHNUNGEN SEITE 2

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 2

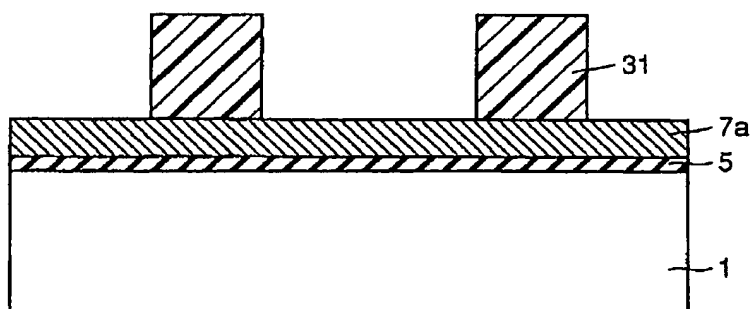
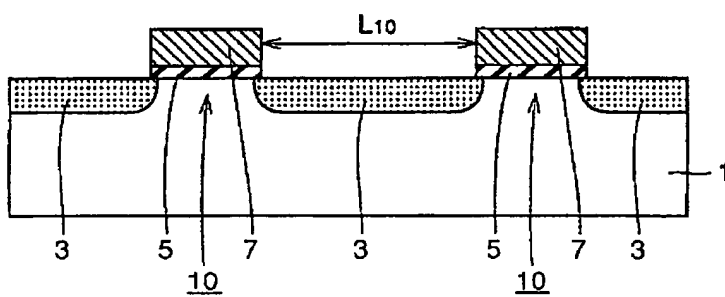


FIG. 3



602 089/515

ZEICHNUNGEN SEITE 3

Nummer:
Int. Cl. 6:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 4

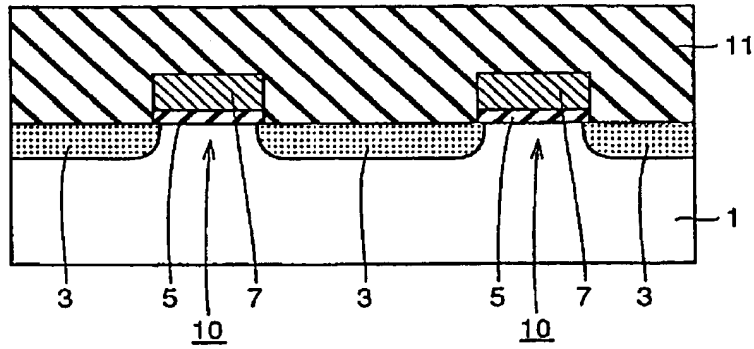
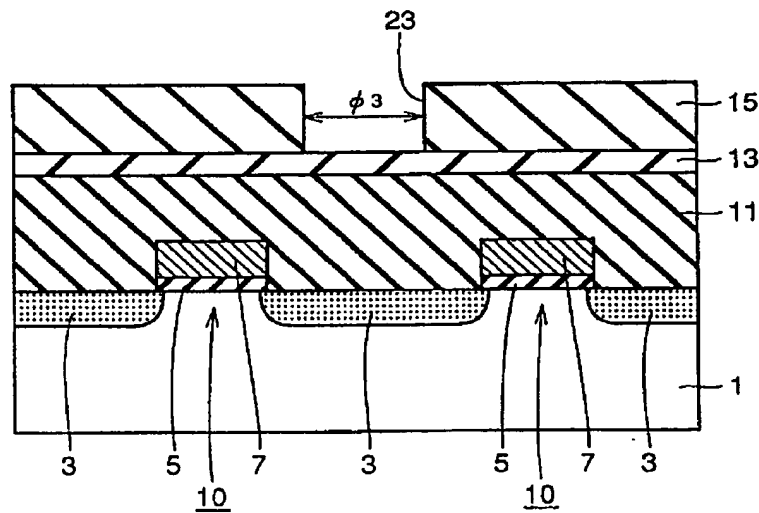


FIG. 5



602 069/515

ZEICHNUNGEN SEITE 4

Nummer:

Int. Cl.:

Offenlegungstag:

DE 196 10 272 A1

H 01 L 21/283

27. Februar 1997

FIG. 6

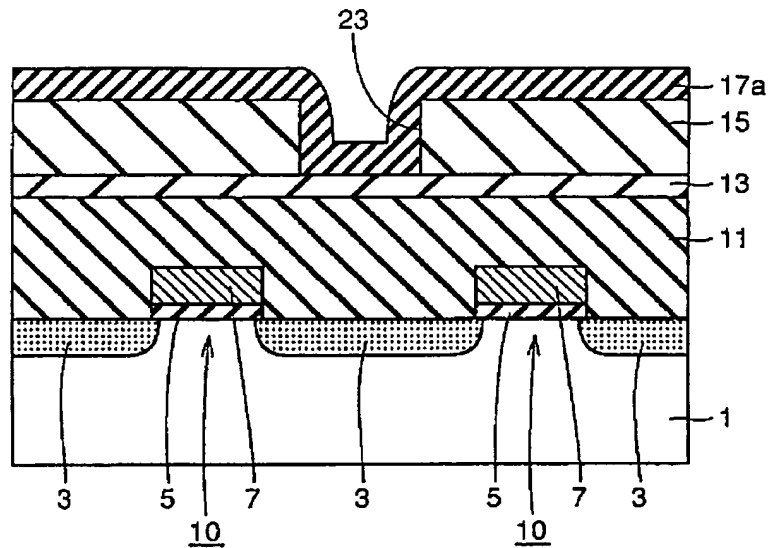
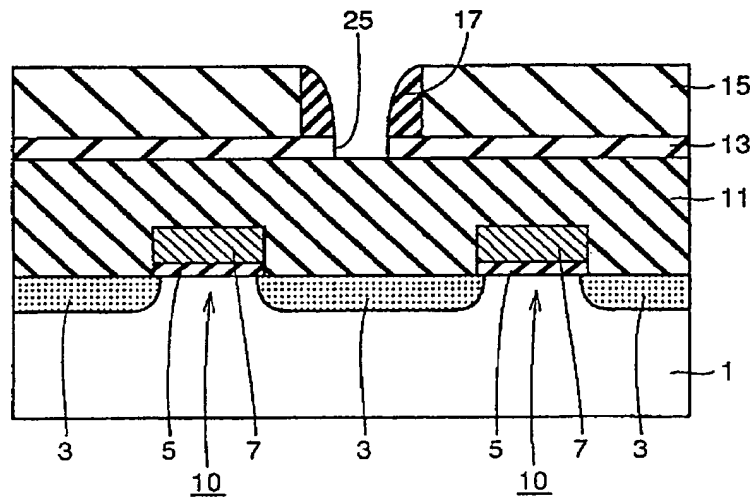


FIG. 7



602 069/515

ZEICHNUNGEN SEITE 5

Nummer:

DE 198 10 272 A1

Int. Cl.⁶:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 8

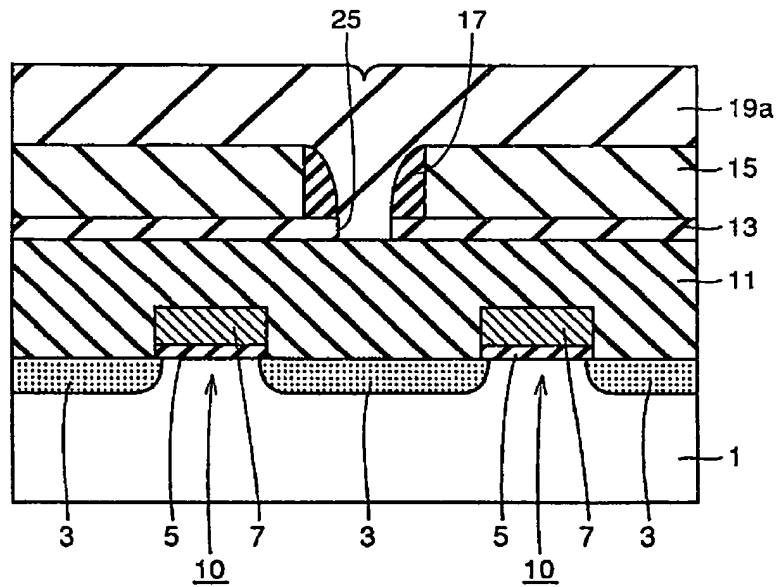
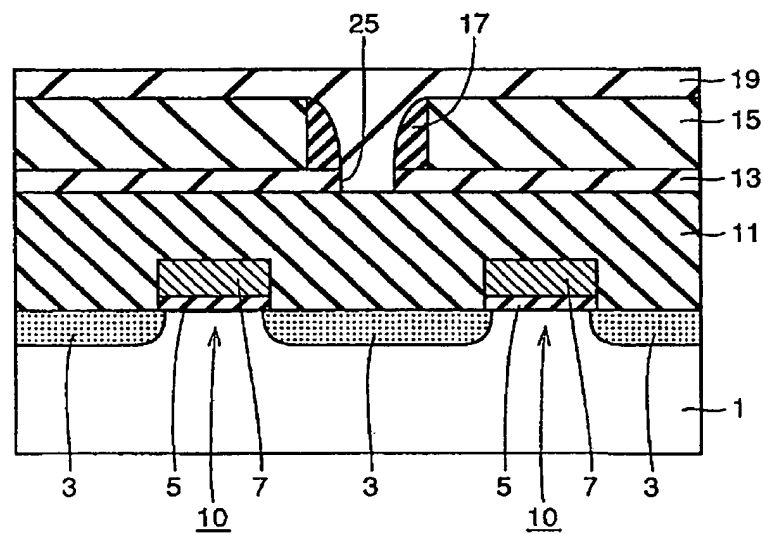


FIG. 9



602 069/515

ZEICHNUNGEN SEITE 6

Nummer:

DE 198 10 272 A1

Int. Cl.:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 10

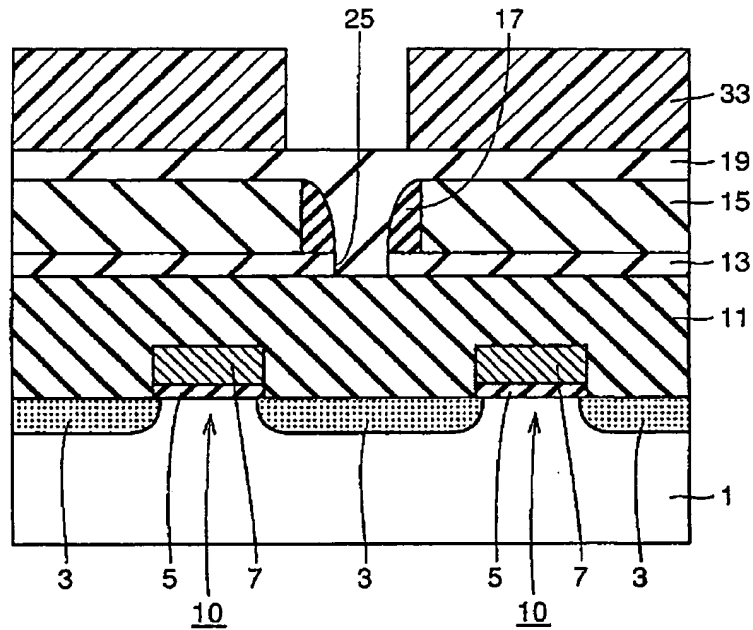
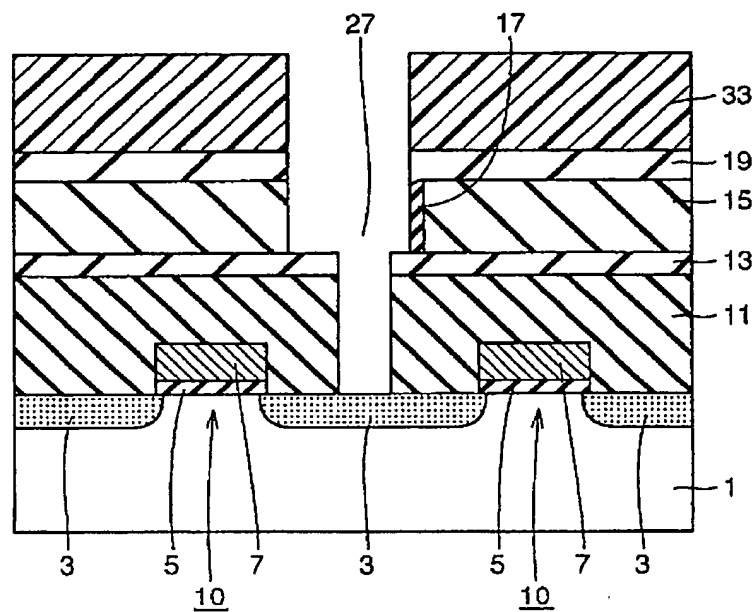


FIG. 11



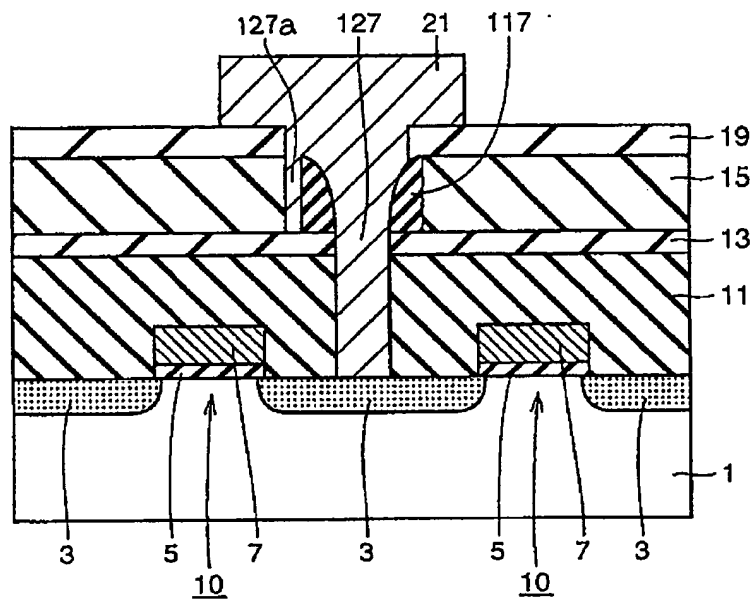
602 069/515

ZEICHNUNGEN SEITE 8

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 13



602 069/615

ZEICHNUNGEN SEITE 9

Nummer:

DE 198 10 272 A1

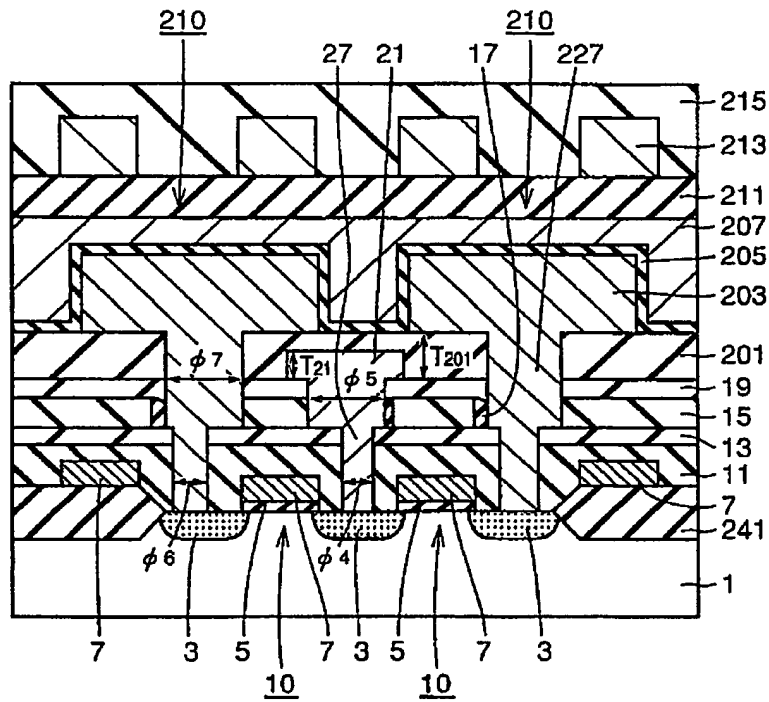
Int. Cl. 6:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 14



602 069/515

ZEICHNUNGEN SEITE 10

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 15

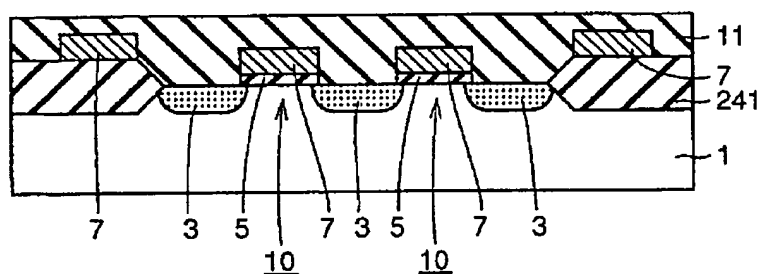
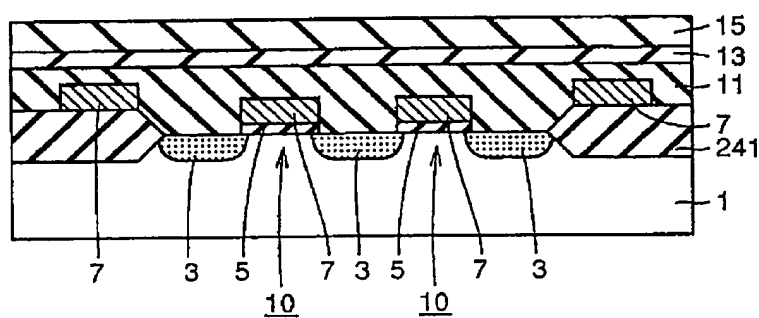


FIG. 16



602 089/515

ZEICHNUNGEN SEITE 11

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 17

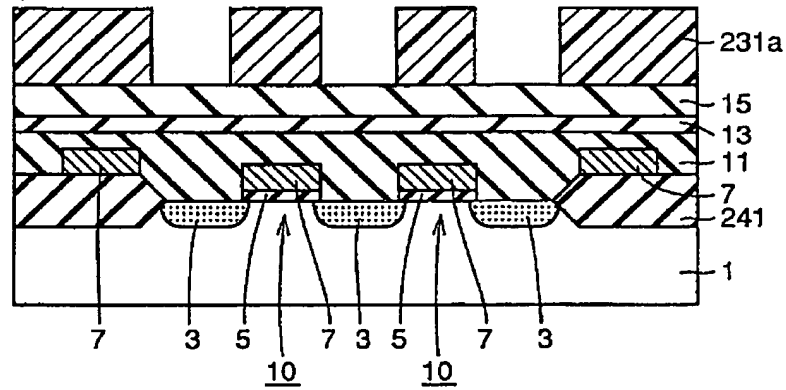
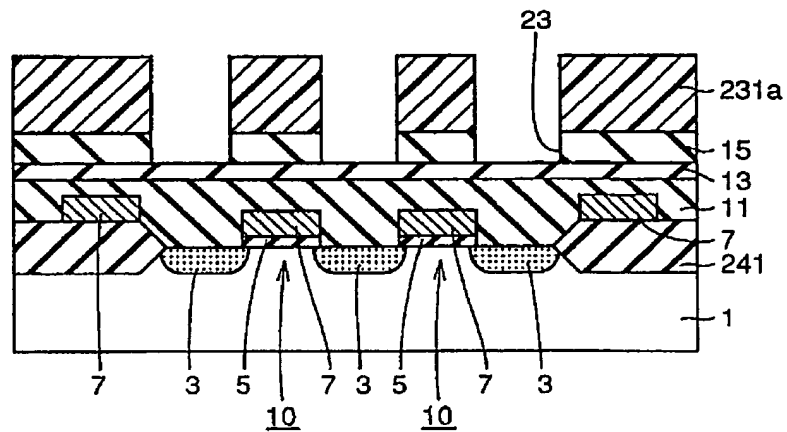


FIG. 18



602 069/515

ZEICHNUNGEN SEITE 12

Nummer:

DE 196 10 272 A1

Int. Cl.⁶:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 19

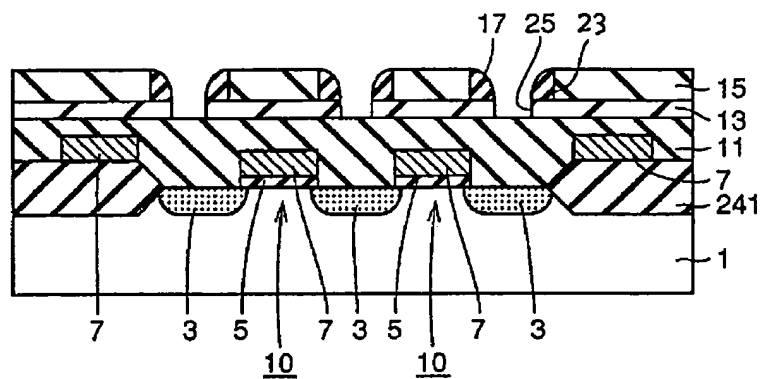
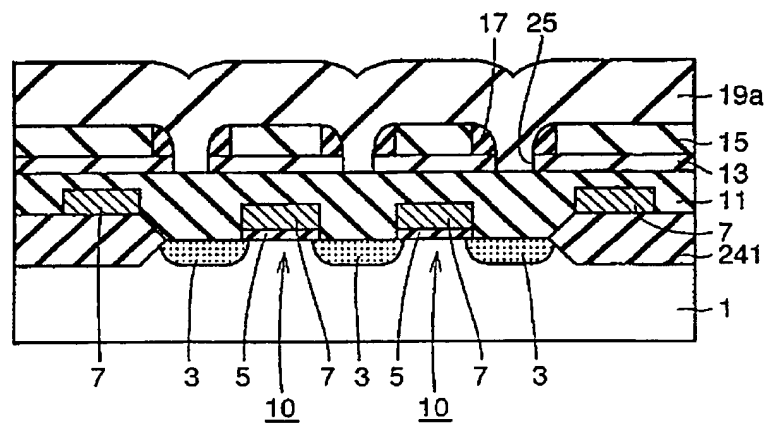


FIG. 20



802 069/515

ZEICHNUNGEN SEITE 13

Nummer:
Int. Cl.⁶:
Offenlegungstag:DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 21

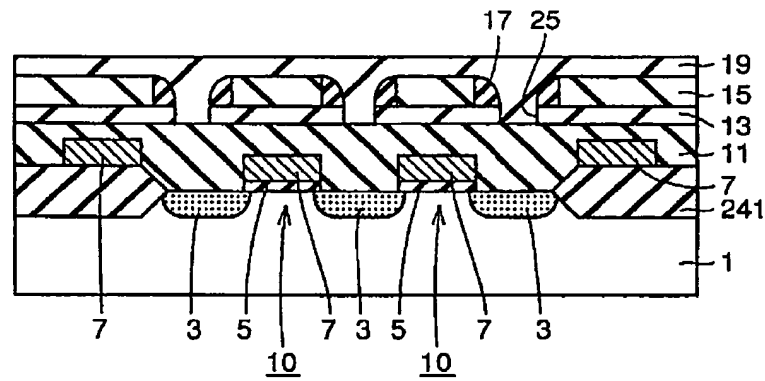
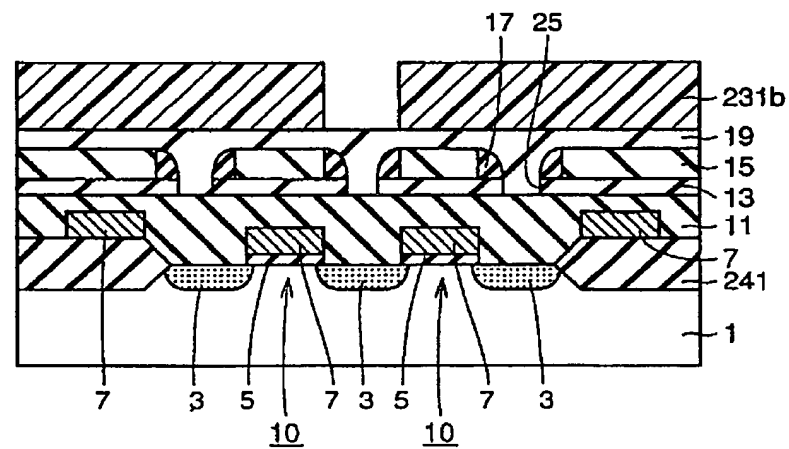


FIG. 22



602 069/515

ZEICHNUNGEN SEITE 14

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 195 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 23

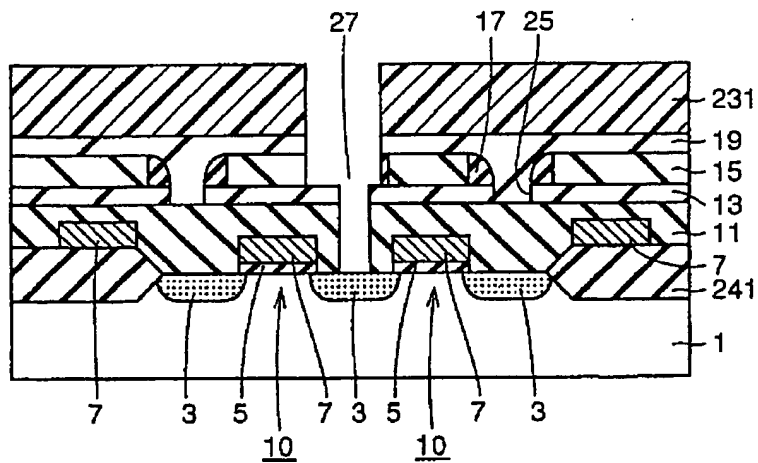
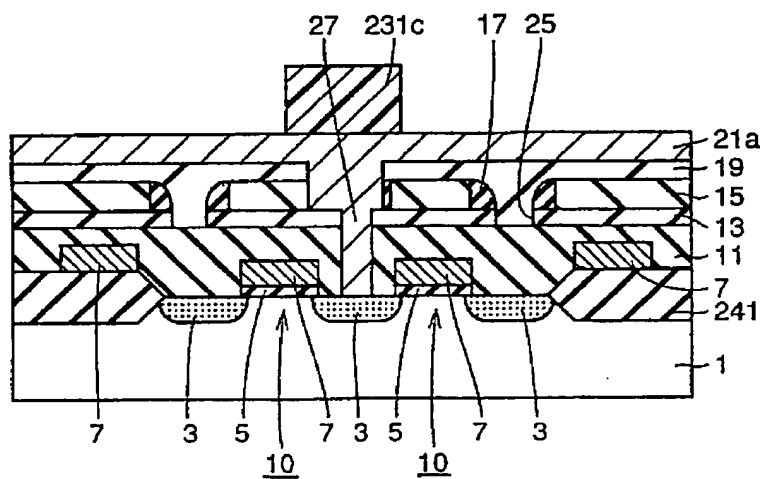


FIG. 24



602 089/515

ZEICHNUNGEN SEITE 15

Nummer:
Int. Cl.º:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 25

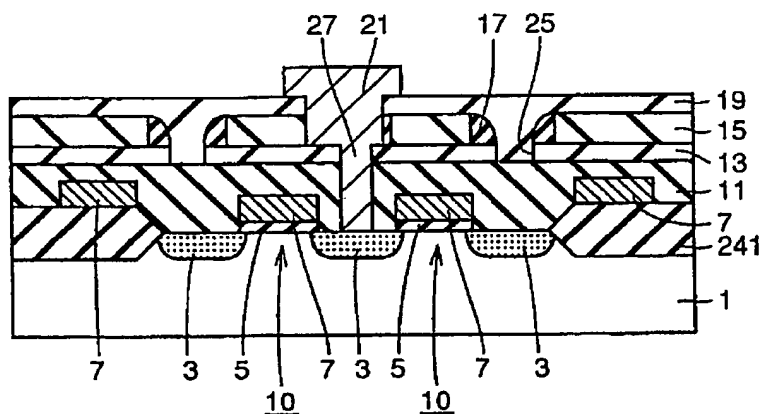
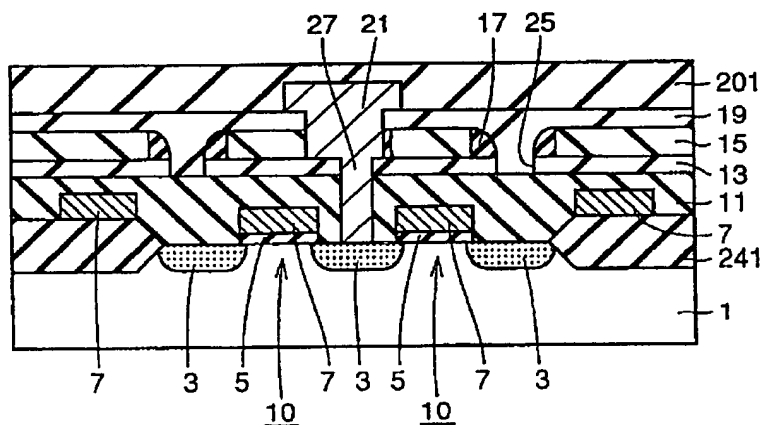


FIG. 26



602 069/515

ZEICHNUNGEN SEITE 16

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 27

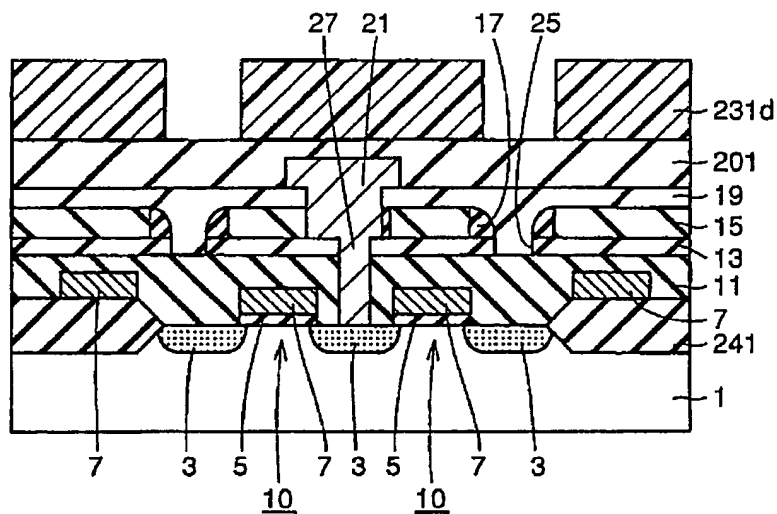
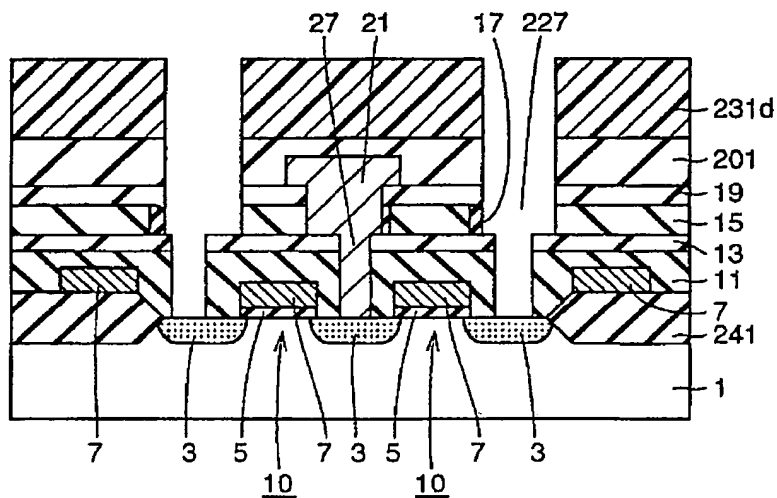


FIG. 28



602 069/515

ZEICHNUNGEN SEITE 17

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 198 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 29

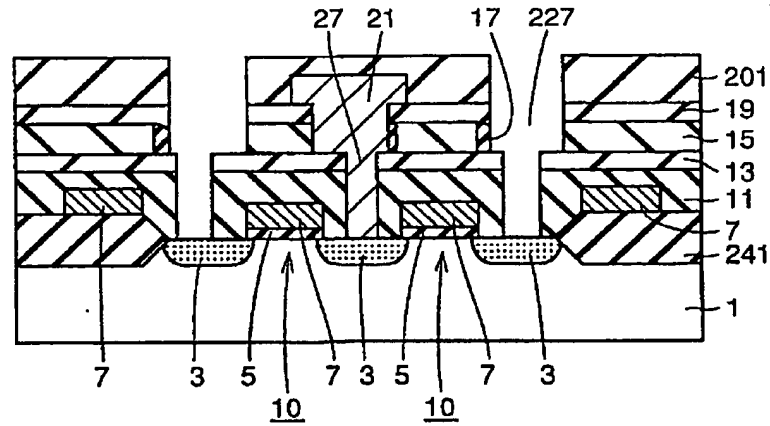
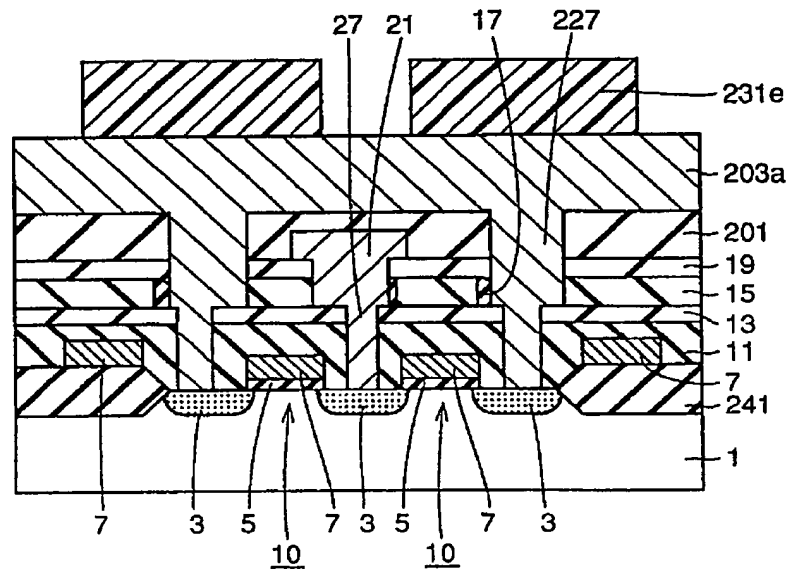


FIG. 30



602 089/515

ZEICHNUNGEN SEITE 18

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 31

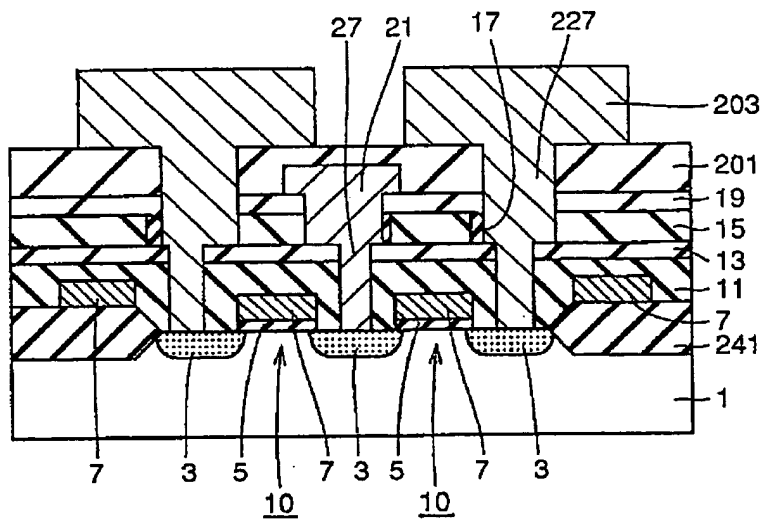
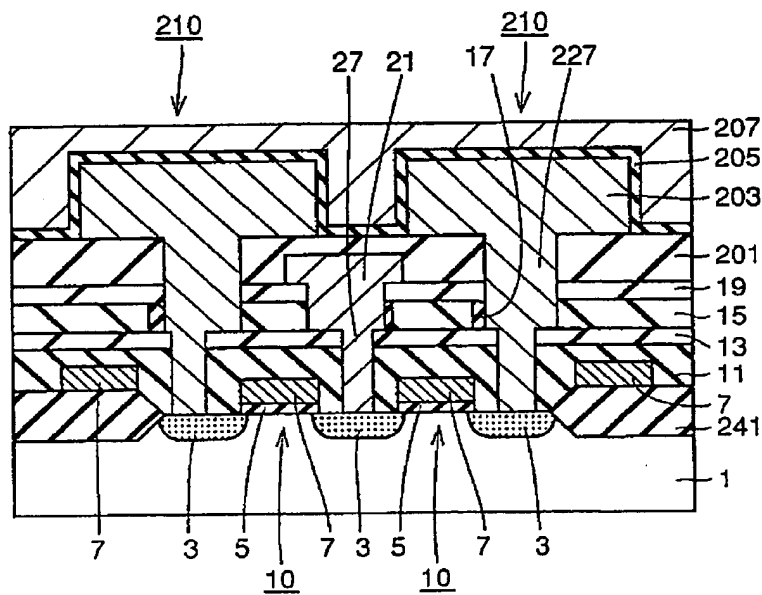


FIG. 32



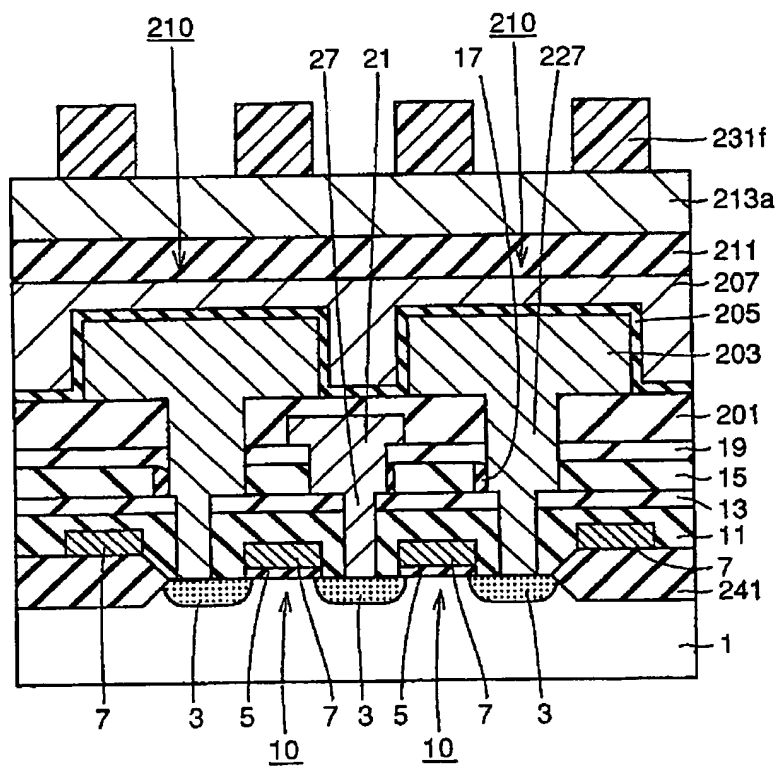
602 069/515

ZEICHNUNGEN SEITE 20

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 34



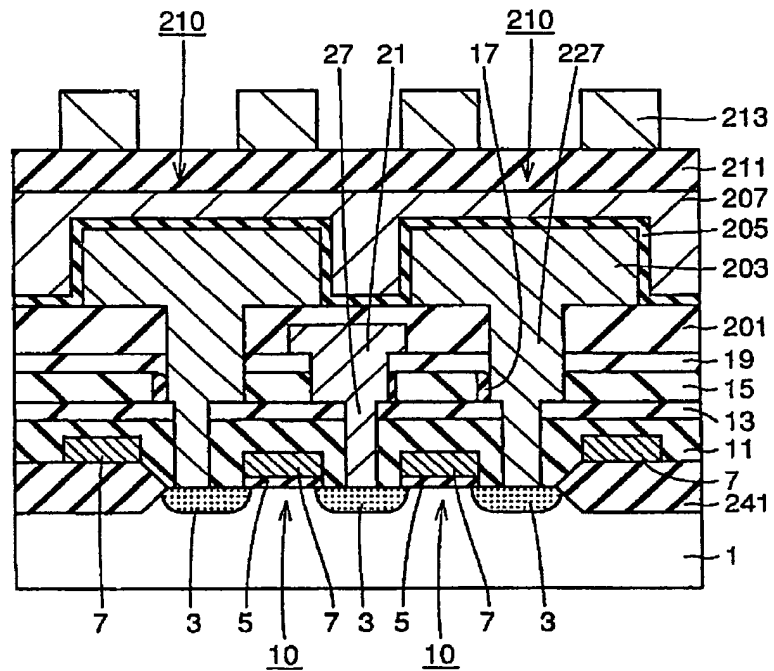
602 069/615

ZEICHNUNGEN SEITE 21

Nummer:
Int. Cl. 6:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 35



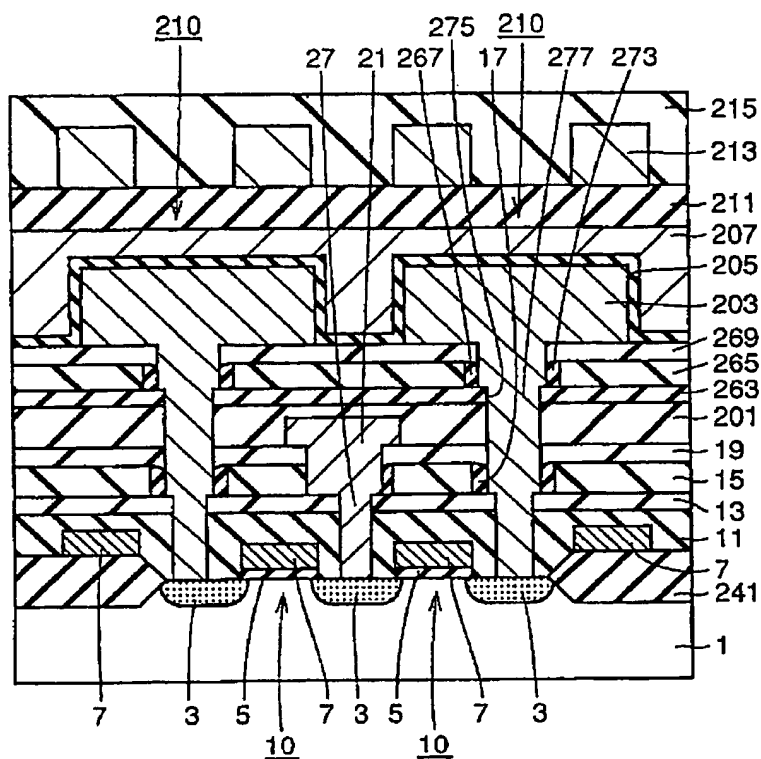
602 069/515

ZEICHNUNGEN SEITE 22

Nummer:
Int. Cl.®:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 36



ZEICHNUNGEN SEITE 24

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 38

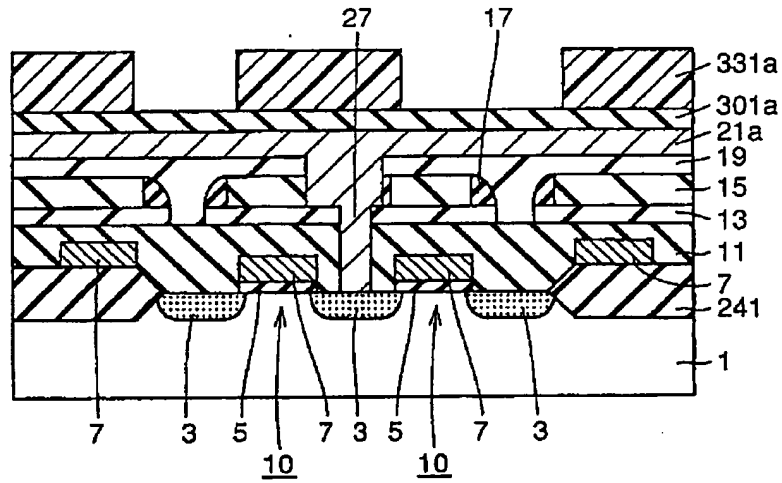
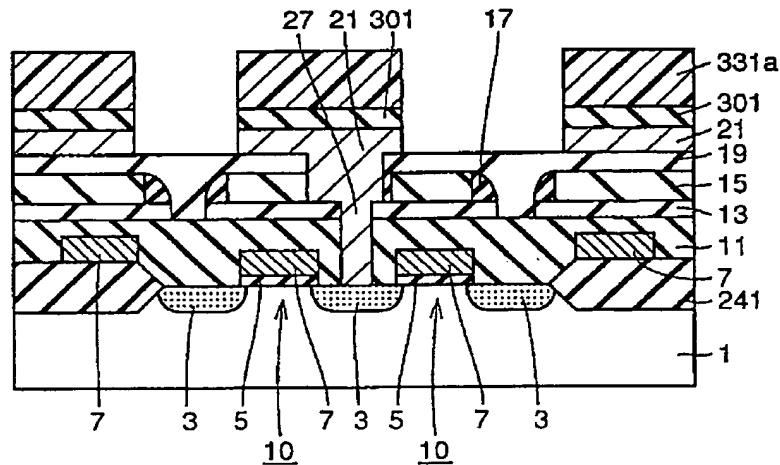


FIG. 39



602 069/515

ZEICHNUNGEN SEITE 25

Nummer:
Int. Cl. 6:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 40

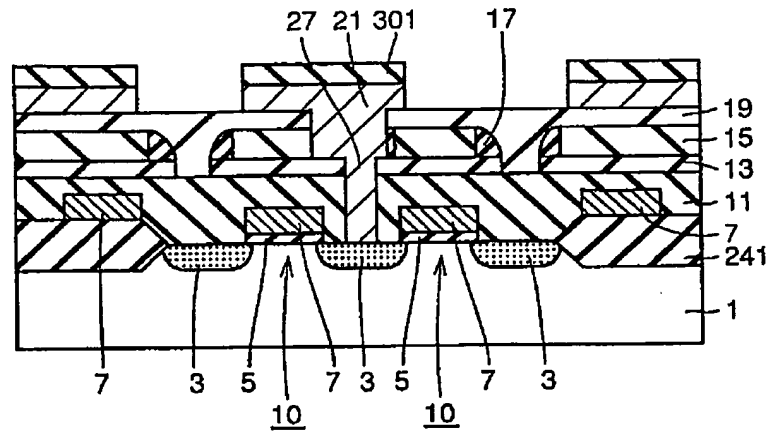
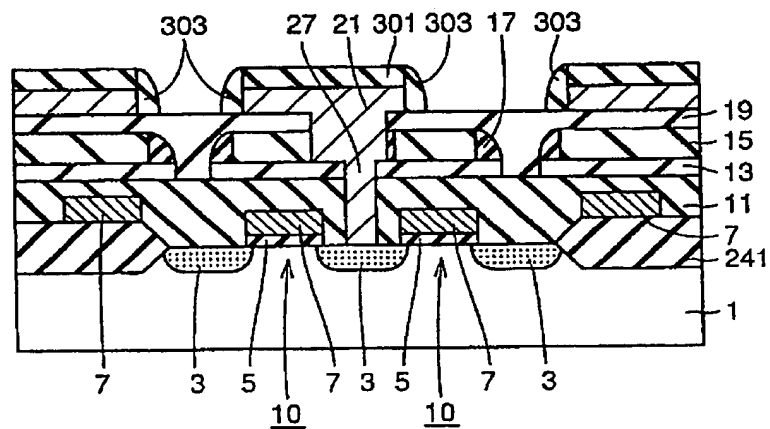


FIG. 41



602 089/515

ZEICHNUNGEN SEITE 26

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 198 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 42

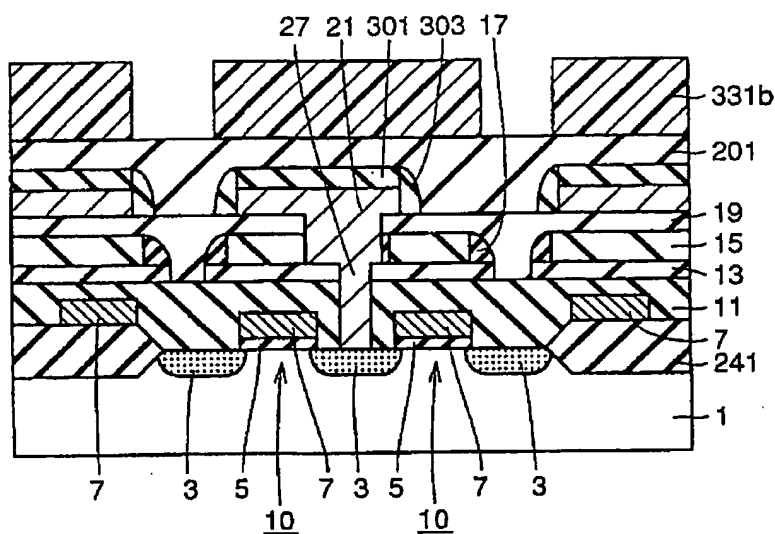
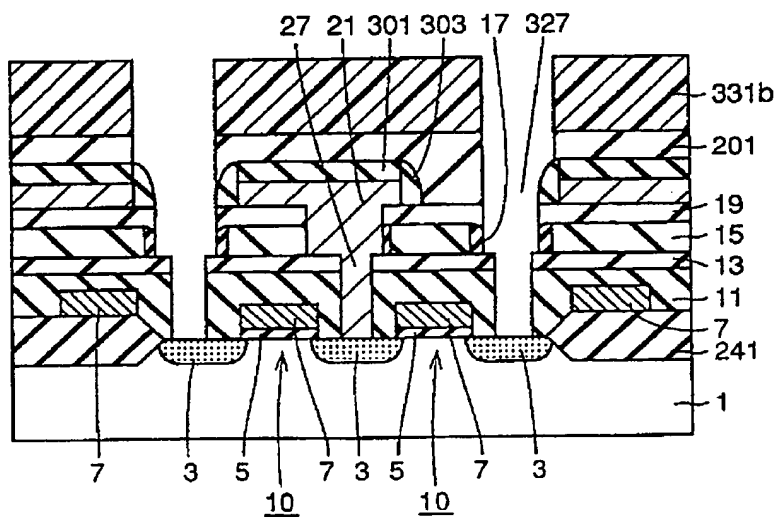


FIG. 43



602 069/516

ZEICHNUNGEN SEITE 27

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 44

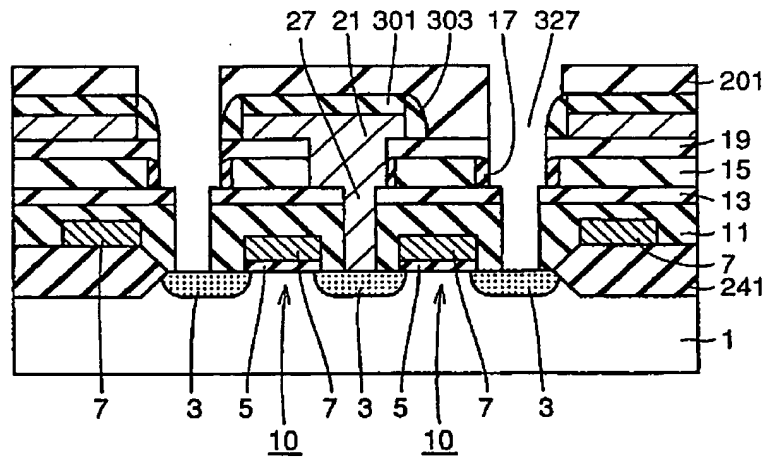
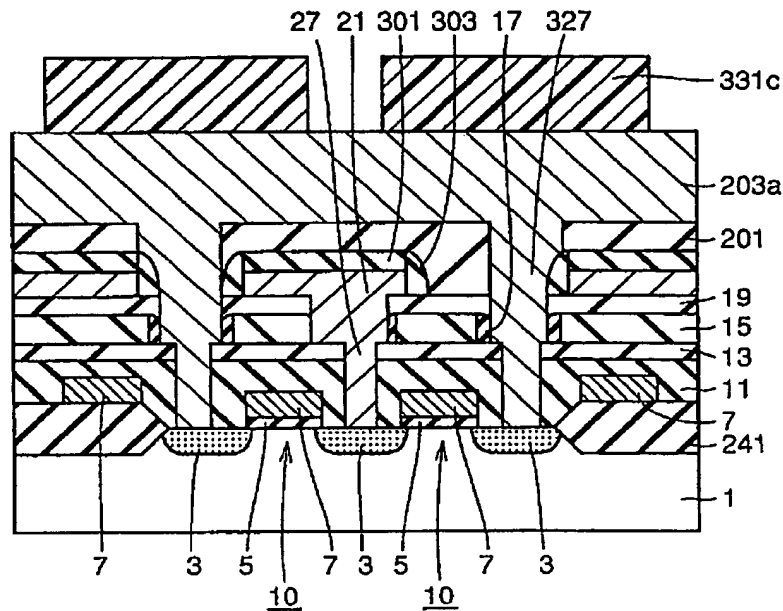


FIG. 45



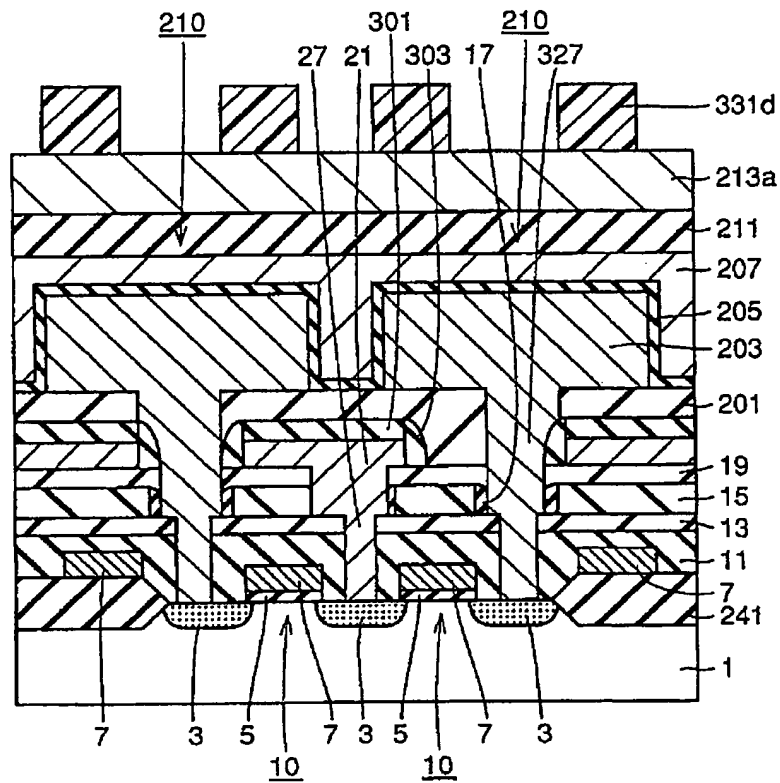
802 069/515

ZEICHNUNGEN SEITE 30

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 49



602 059/515

ZEICHNUNGEN SEITE 31

Nummer:

DE 196 10 272 A1

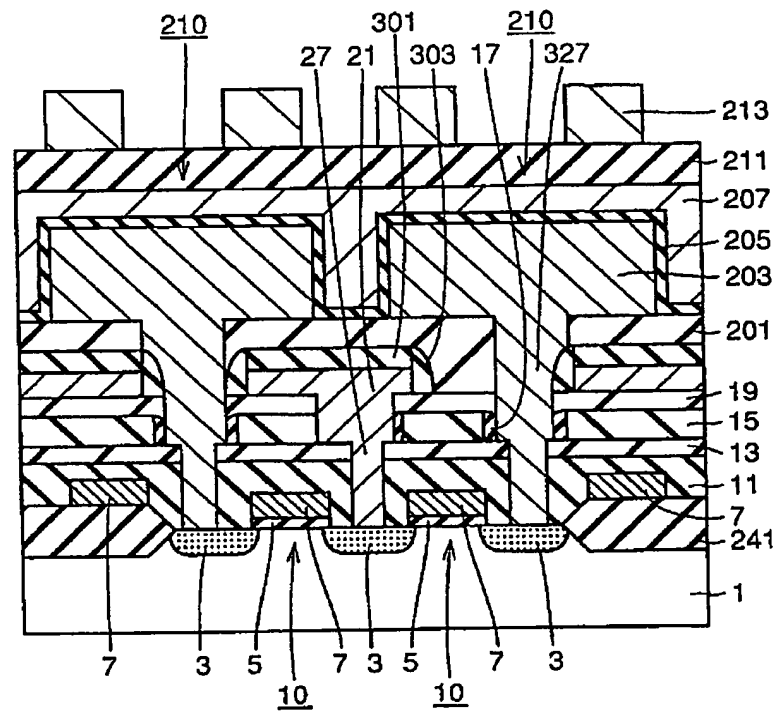
Int. Cl.⁶:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 50



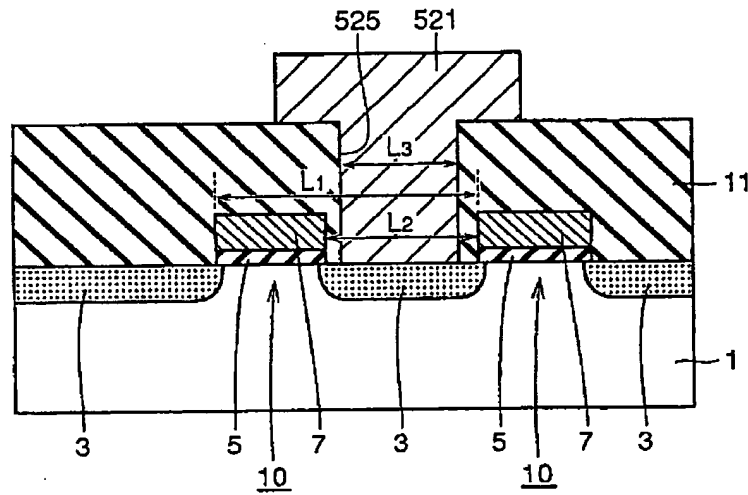
602 069/515

ZEICHNUNGEN SEITE 32

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 51



602 089/515

ZEICHNUNGEN SEITE 33

Nummer:

DE 196 10 272 A1

Int. Cl.⁶:

H 01 L 21/283

Offenlegungstag:

27. Februar 1997

FIG. 52

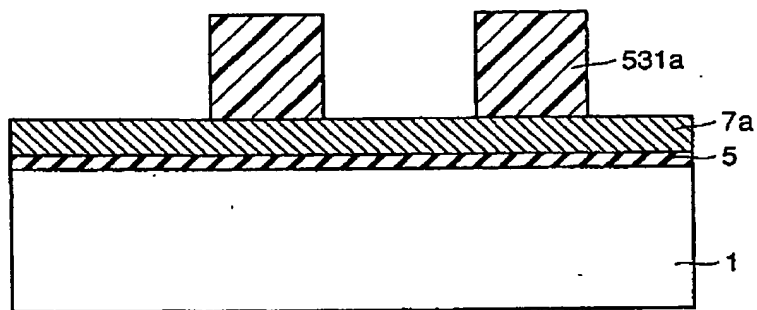
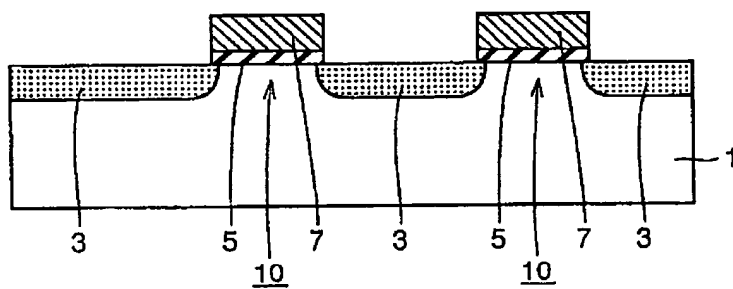


FIG. 53



602 069/515

ZEICHNUNGEN SEITE 34

Nummer:
int. Cl.[®]:
Offenlegungstag:**DE 198 10 272 A1**
H 01 L 21/283
27. Februar 1997

FIG. 54

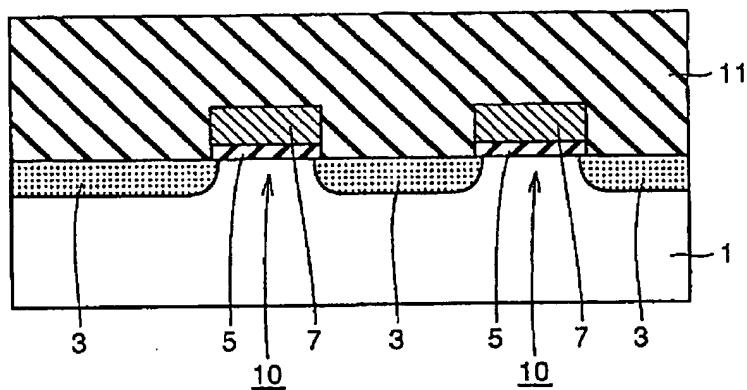
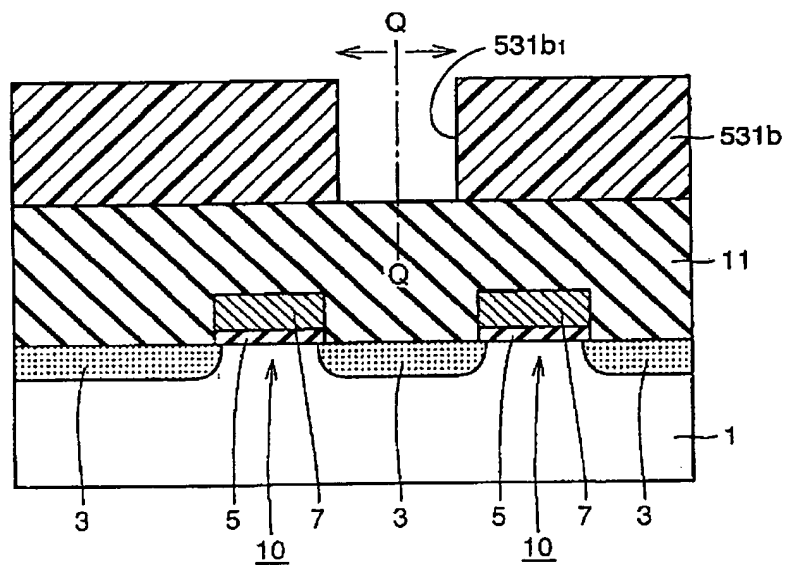


FIG. 55



602 069/515

ZEICHNUNGEN SEITE 35

Nummer:
Int. Cl. 6:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 56

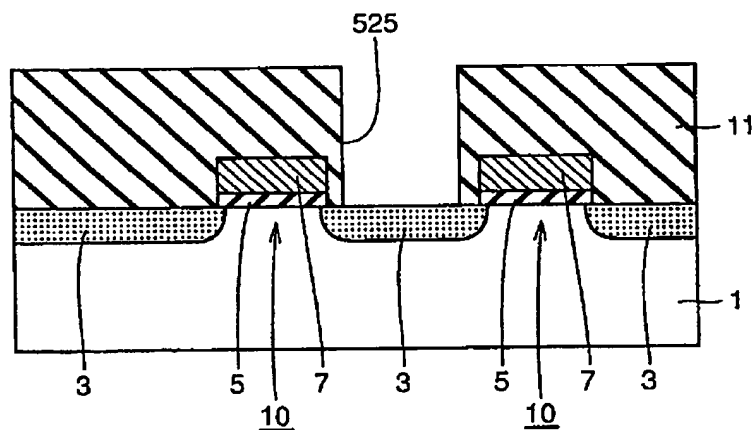
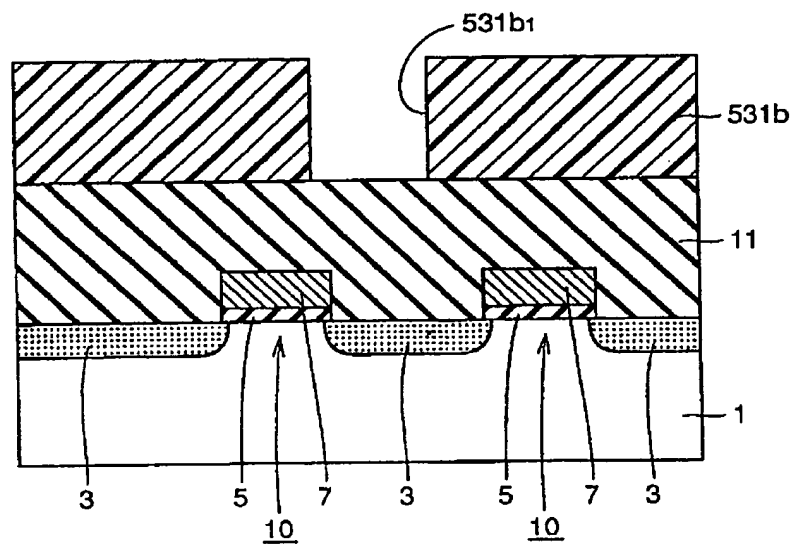


FIG. 57



602 069/615

ZEICHNUNGEN SEITE 38

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 188 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 58

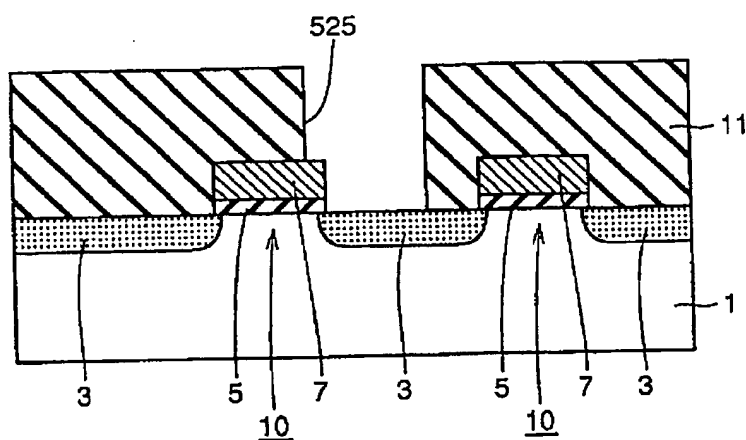
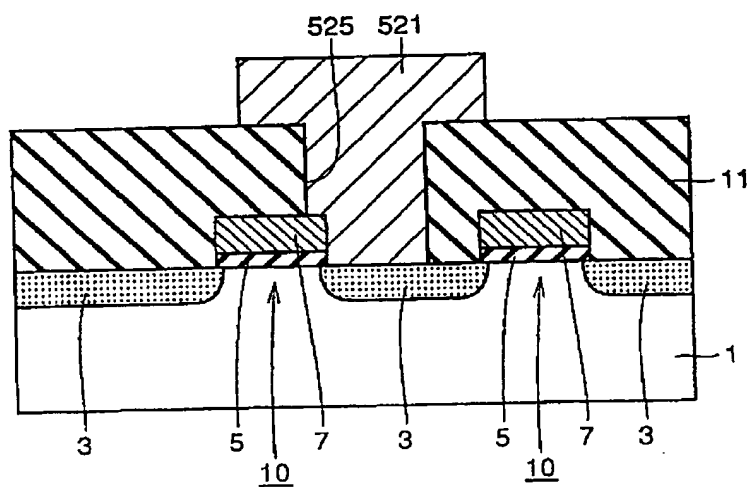


FIG. 59



802 069/515

ZEICHNUNGEN SEITE 37

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 60

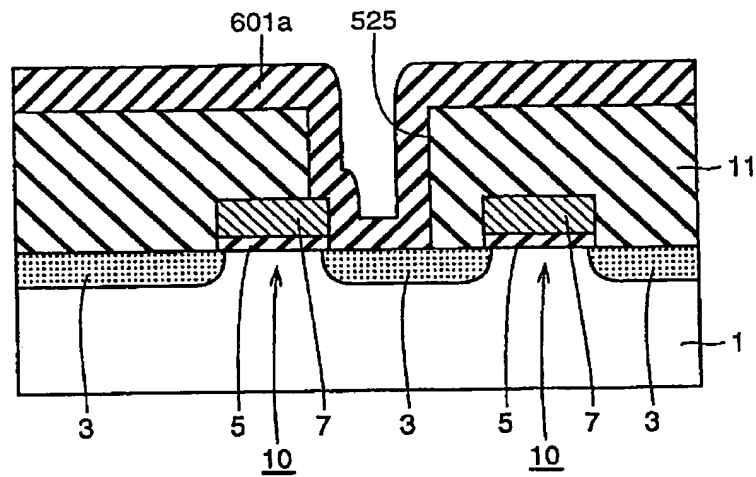
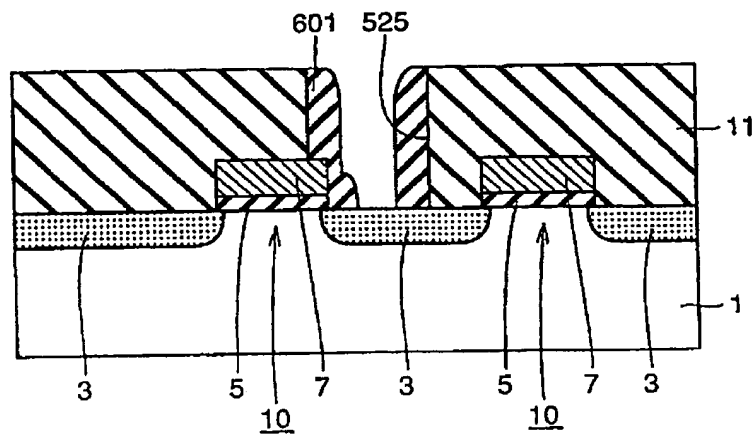


FIG. 61



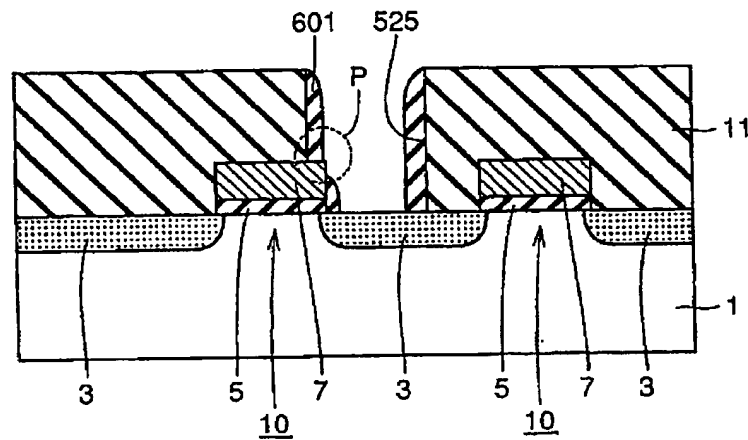
602 089/515

ZEICHNUNGEN SEITE 38

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 62



602 089/515

ZEICHNUNGEN SEITE 39

Nummer:
Int. Cl.⁸:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 63

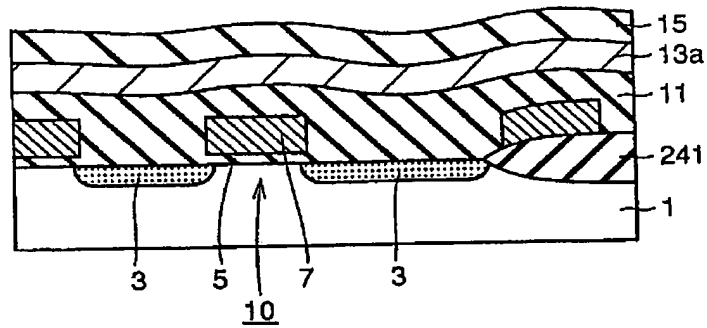
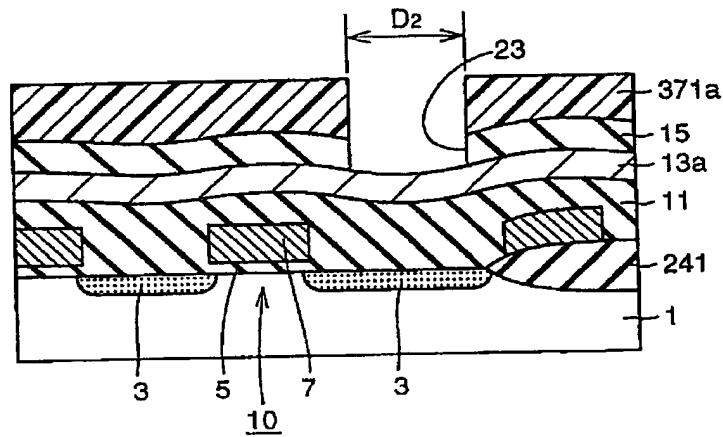


FIG. 64



602 069/615

ZEICHNUNGEN SEITE 40

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 198 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 65

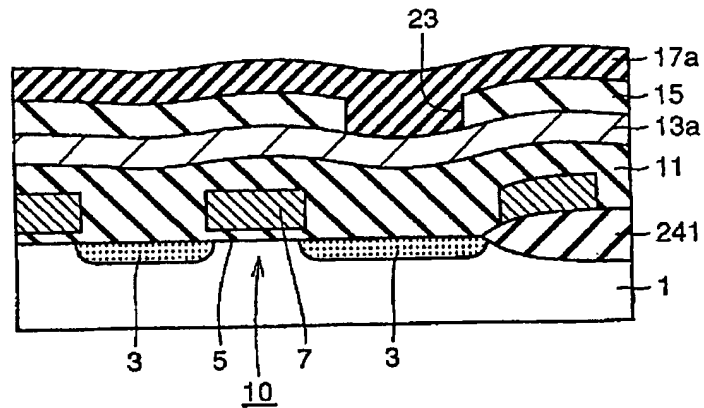
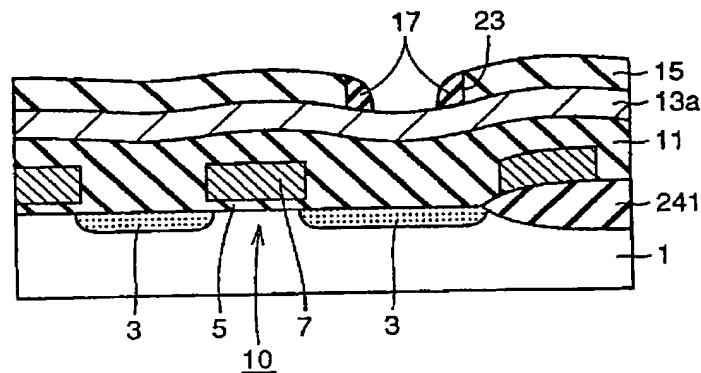


FIG. 66



602 089/515

ZEICHNUNGEN SEITE 41

Nummer:
Int. Cl. 8:
Offenlegungstag:

DE 198 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 67

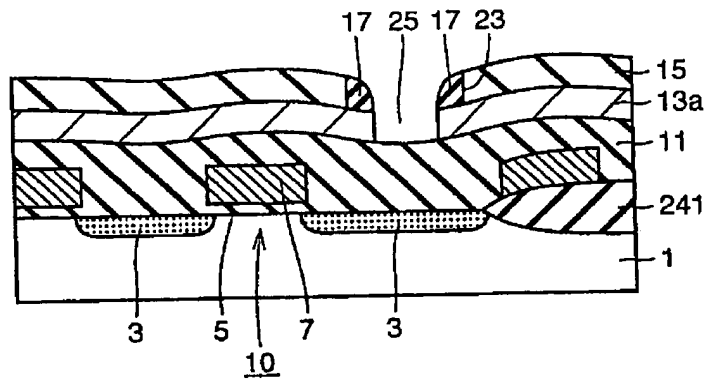
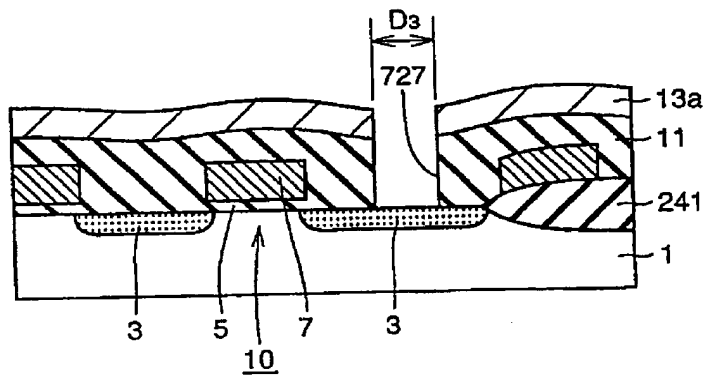


FIG. 68



602 069/515

ZEICHNUNGEN SEITE 42

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 69

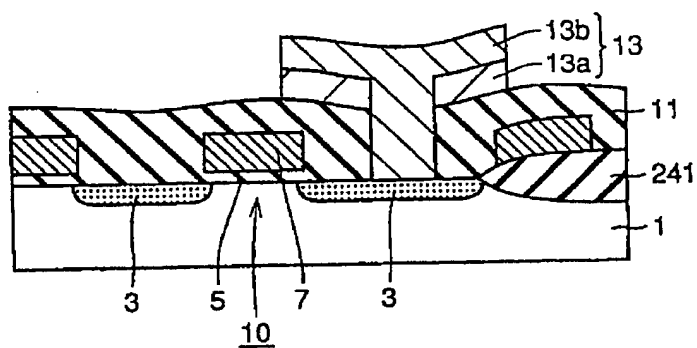
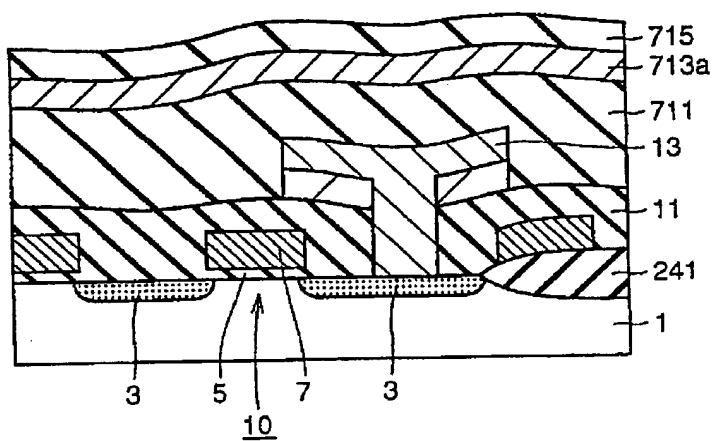


FIG. 70



602 089/515

ZEICHNUNGEN SEITE 43

Nummer:
Int. Cl.º:
Offenlegungstag:

DE 196 10 272 A1
H 01 L 21/283
27. Februar 1997

FIG. 71

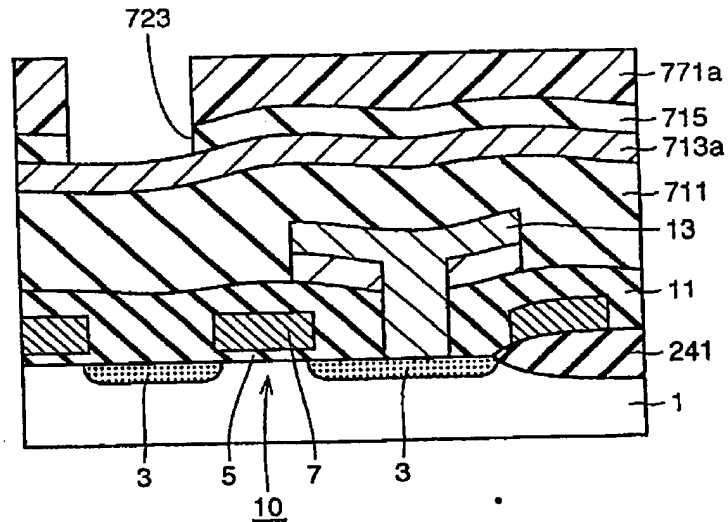
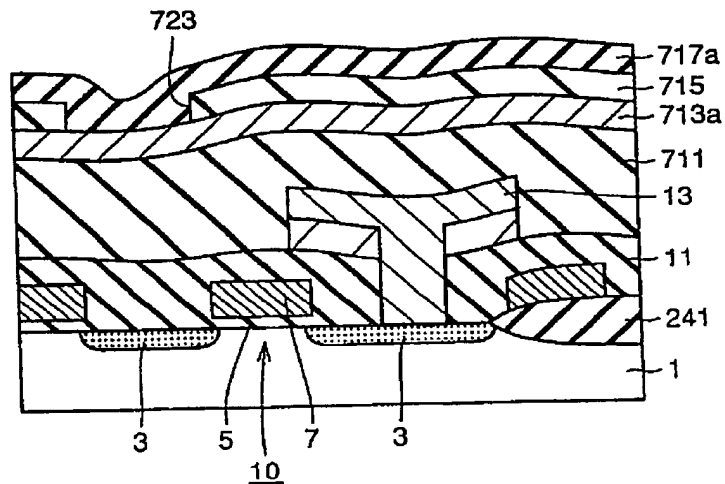


FIG. 72



602 089/515

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.